

Attorney's Docket No. 5649-842

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Chang-seok Kang et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: APPARATUS FOR FORMING THIN FILMS AND METHODS FOR FORMING
CAPACITORS ON SEMICONDUCTOR SUBSTRATES USING SAME



Dated: September 18, 2000

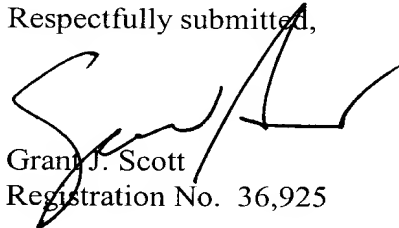
Commissioner for Patents
Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of
Korean Priority Application No. 99-39839 filed September 16, 1999.

Respectfully submitted,



Grant J. Scott
Registration No. 36,925

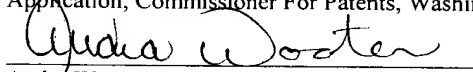
Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

CERTIFICATE OF EXPRESS MAILING

Express Mail Label No. EI533609901US

Date of Deposit: September 18, 2000

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail
Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Box Patent
Application, Commissioner For Patents, Washington, DC 20231.



Audra Wooten
Date of Signature: September 18, 2000

대한민국 특허청

KOREAN INDUSTRIAL PROPERTY OFFICE

JCS42 U.S. PTO
09/665208
09/18/00

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 1999년 특허출원 제39839호
Application Number

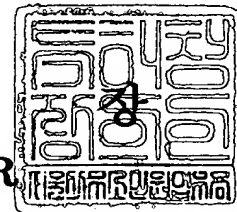
출원년월일 : 1999년 9월 16일
Date of Application

출원인 : 삼성전자 주식회사
Applicant(s)

1999년 11월 18일

특허청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0012
【제출일자】	1999.09.16
【국제특허분류】	H01L
【발명의 명칭】	박막 형성장치 및 이를 이용한 반도체소자의 커패시터 형성방법
【발명의 영문명칭】	Thin film formation apparatus and method for forming capacitor of semiconductor device using the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	곽덕영
【대리인코드】	9-1998-000630-5
【포괄위임등록번호】	1999-009616-8
【발명자】	
【성명의 국문표기】	강창석
【성명의 영문표기】	KANG, Chang Seok
【주민등록번호】	660321-1898818
【우편번호】	442-370
【주소】	경기도 수원시 팔달구 매탄동 810-1 현대아파트 103동 904호
【국적】	KR

【발명자】

【성명의 국문표기】 황두섭
【성명의 영문표기】 HWANG,Doo Sup
【주민등록번호】 670821-1026015
【우편번호】 449-840
【주소】 경기도 용인시 수지읍 풍덕천리 692-1 삼성2차아파트 205동 904호
【국적】 KR

【발명자】

【성명의 국문표기】 유차영
【성명의 영문표기】 YOO,Cha Young
【주민등록번호】 641217-1254226
【우편번호】 441-460
【주소】 경기도 수원시 권선구 금곡동 245-70 푸른빌라 303호
【국적】 KR

【발명자】

【성명의 국문표기】 박영욱
【성명의 영문표기】 PARK,Young Wook
【주민등록번호】 630412-1038016
【우편번호】 431-088
【주소】 경기도 안양시 동안구 갈산동 샘마을 임광아파트 301동 703호
【국적】 KR

【발명자】

【성명의 국문표기】 박홍배
【성명의 영문표기】 PARK,Hong Bae
【주민등록번호】 690224-1652516
【우편번호】 152-056
【주소】 서울특별시 구로구 구로6동 128-4
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인

이영필 (인) 대리인

정상빈 (인) 대리인

곽덕영 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 35 면 35,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 41 항 1,421,000 원

【합계】 1,485,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】

【요약】

본 발명의 박막 형성 장치는 반도체 웨이퍼를 로딩 및 언로딩할 수 있는 로봇암을 구비하는 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 다기능 챔버와, 상기 다기능 챔버에 오존 발생기 또는 플라즈마 발생기의 어닐 수단이 연결되어 있어 상기 다기능 챔버에서 하부 전극 전처리, 상기 유전막 후처리 및 상부 전극 후처리를 수행할 수 있다. 그리고, 본 발명의 박막 형성 장치를 이용하여 커패시터의 하부 전극 상에 형성된 유전막을 어닐 수단을 이용하여 후처리함으로써 커패시터의 누설 전류를 감소시킬 수 있다.

【대표도】

도 6

【명세서】

【발명의 명칭】

박막 형성장치 및 이를 이용한 반도체 소자의 커패시터 형성방법 {Thin film formation apparatus and method for forming capacitor of semiconductor device using the same}

【도면의 간단한 설명】

도 1은 본 발명에 의하여 고유전막 형성 후 오존 어닐 유무에 따른 누설 전류를 도시한 그래프이다.

도 2는 본 발명에 의하여 고유전막 형성 후 플라즈마 어닐 유무에 따른 누설전류를 도시한 그래프이다.

도 3은 본 발명에 의하여 고유전막 증착 후 어닐 조건에 따른 잔류 탄소의 분포를 도시한 그래프이다.

도 4는 본 발명에 의하여 하부 전극의 전처리 유무에 따른 누설 전류를 도시한 그래프이다.

도 5는 본 발명에 의하여 상부 전극 증착시 산소의 첨가 유무에 따른 누설 전류를 도시한 그래프이다.

도 6은 본 발명의 제1 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다.

도 7은 도 6의 오존 발생기와 연결된 다기능 챔버의 일 예를 개략적으로 도시한 도면이다.

도 8은 도 5의 플라즈마 발생기에 연결된 다기능 챔버의 일 예를 개략적으로 도시한 도면이다.

도 9는 본 발명의 제2 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다.

도 10은 도 9의 전극 증착 챔버의 일 예를 개략적으로 도시한 도면이다.

도 11 내지 도 20은 본 발명의 제3 실시예 내지 제12 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도들이다.

도 21 내지 도 29는 본 발명에 의한 반도체 소자의 커패시터 제조방법의 제1 실시예 내지 제9 실시예를 설명하기 위한 흐름도들이다.

도 30은 도 28에 도시한 제8 실시예를 실제의 반도체 소자의 커패시터의 제조에 적용하는 것을 설명하기 위한 도면이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<14> 본 발명은 박막 형성 장치 및 이를 이용한 반도체 소자의 커패시터 형성방법에 관한 것으로, 특히 다챔버(multi-chamber)를 갖는 박막 형성 장치 및 이를 이용한 반도체 소자의 커패시터 형성 방법에 관한 것이다.

<15> 반도체 소자의 집적도가 증가함에 따라 제한된 셀 면적에서 커패시턴스를 증가시키기 위해 많은 방법이 제안되고 있다. 예컨대, 유전막을 박막화하는 방법, 전극의 유효 표면적을 증가시키는 방법, 유전율이 큰 유전 물질(고유전체 혹은 강유

전체)을 유전막으로 사용하는 방법 등이 그것이다. 본 명세서에서 고유전막이라는 용어는 강유전체를 포함하여 유전상수가 큰 유전막을 통칭하여 사용한다.

<16> 이중에서, 전극의 유효 표면적을 넓게 하는 것은 좁은 영역에서 전극을 3차원적으로 형성해야 하므로 물리적으로 많은 제약이 있다. 그리고 유전막을 박막화하는 방법은 박막이 박막화될수록 누설전류가 증가되는 어려움이 있다. 따라서, 반도체 소자의 고집적화에 유리하면서 커패시턴스를 증가시키기 위해 고유전막을 사용하는 방법이 효과적이다.

<17> 상술한 고유전막으로 강유전체, 예컨대 PbZrTiO_3 (PZT), BaSrTiO_3 (BST)를 들 수 있는데, 강유전체는 실리콘 산화막, 실리콘 질화막 혹은 탄탈륨 산화막과는 달리 자발분극 현상을 가지며 유전상수가 수 100-1000을 갖는 물질이다. 따라서, 고유전막을 커패시터에 사용하는 경우 500Å의 두께로 형성하더라도 등가 산화막 두께를 10Å 이하로 박막화할 수 있어 커패시턴스를 크게 증가시킬 수 있다.

<18> 그런데, BST, PZT 등의 고유전막을 실제의 반도체 소자의 커패시터에 적용하기 위하여는 고유전막이 유전율이 높고 단차피복성(step coverage)이 우수하여야 하고 커패시터의 누설전류 특성이 좋아야 한다. 이를 위하여, 고유전막을 형성할 때 금속 유기 화학 기상 증착법(MOCVD)을 이용하여 형성한다.

<19> 그러나, 상기 고유전막, 예컨대 BST막을 MOCVD방법으로 형성하여 커패시터에 적용하는 경우 누설전류 특성을 좋게 하기 위하여 고유전막을 500℃ 이상의 고온에서 형성한다. 그런데, 500℃ 이상의 고온에서 고유전막을 형성할 경우 커패시터의 누설전류 특성은 좋으나 단차피복성이 50% 이하로 매우 나쁘다는 것을 본 발명자들

이 확인하였다. 이렇게 단차피복성이 나쁘면 스토리지 전극(커패시터의 하부 전극) 사이의 간격이 좁아지는 고집적된 반도체 소자에 적용할 수 없게 된다. 또한, 500℃ 이상의 고온에서 고유전막을 형성할 경우 배리어 금속막이 산화되는 문제점을 야기한다.

<20> 이와 같은 문제점을 해결하기 위하여는 고유전막을 단차 피복성이 좋은 500℃ 이하의 저온에서 증착해야 한다. 그러나, 저온에서 고유전막을 증착할 경우 증착되는 고유전막이 유전율이 50 이하의 비정질로 증착되어 후 어닐링이 필요하고, 고유전막의 원료 물질인 유기금속 소스로부터 발생하는 불순물, 예컨대 탄소 성분이 고유전막 내에 잔류하여 누설 전류 특성이 저하되는 문제점이 있다.

<21> 이와 같은 고유전막 내에 잔류하는 불순물을 제거하기 위하여 500℃ 이하의 저온에서 증착된 고유전막을 600℃ 이상의 고온에서 후처리하는 방법이 제안되었다. 그러나, 상술한 600℃ 이상의 고온에서 후처리를 할 경우 반도체 소자의 커패시터의 전극과 배리어 금속막이 산화되거나 고유전막이 열화된다. 또한, 500℃ 이하의 저온에서 증착된 고유전막을 600℃ 이상의 고온에서 후처리하여도 상술한 잔류 불순물은 제거되지 않는다는 것을 본 발명자들이 확인하였다.

【발명이 이루고자 하는 기술적 과제】

<22> 따라서, 본 발명이 이루고자 하는 기술적 과제는 상기 잔류 불순물을 줄일 수 있고 전극이나 고유전막을 인시츄로 형성할 수 있는 다챔버를 갖는 박막 형성 장치를 제공하는 데 있다.

<23> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는 상기 박막 형성 장치를

이용하여 잔류 불순물을 줄여 누설 전류 특성이 우수한 반도체 소자의 커패시터 형성 방법을 제공하는 데 있다.

【발명의 구성 및 작용】

- <24> 상기 기술적 과제를 달성하기 위하여, 본 발명의 박막 형성 장치는 복수개의 반도체 웨이퍼가 로딩된 카세트가 위치하는 로드락 챔버와, 상기 로드락 챔버에 연결되어 상기 반도체 웨이퍼를 로딩 및 언로딩할 수 있는 로봇암을 구비하는 트랜스퍼 챔버와, 상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 다기능 챔버와, 상기 다기능 챔버에 연결된 어닐 수단을 포함하여 상기 다기능 챔버에서 하부 전극 전처리, 상기 유전막 후처리 및 상부 전극 후처리를 수행할 수 있는 것을 특징으로 한다.
- <25> 상기 어닐 수단은 오존 발생기 또는 RF(radio frequency)나 ECR(electron cyclotron resonance) 플라즈마 발생기로 구성할 수 있다. 상기 다기능 챔버에 어닐 수단으로 오존 발생기가 연결되어 있는 경우 상기 다기능 챔버의 배기단에는 오존 제거 장치가 연결되어 있다. 상기 다기능 챔버의 하부는 반도체 웨이퍼가 위치하는 지지대와 그 아래에 히터가 설치되어 있고, 상기 다기능 챔버의 상부는 소스 공급 장치로부터 공급된 액체 유기 소스를 균일하게 분사할 수 있는 소스 분사 장치가 설치되어 있다. 상기 트랜스퍼 챔버에는 전극 증착 챔버, 결정화 어닐 챔버, 전처리 챔버 또는 냉각 및 예열 챔버가 하나 또는 그 이상 더 연결되어 있을 수 있다.
- <26> 또한, 본 발명의 박막 형성 장치는 복수개의 반도체 웨이퍼가 로딩된 카세트가 위치하는 로드락 챔버와, 상기 로드락 챔버에 연결되어 상기 반도체 웨이퍼를 로딩 및 언로딩할 수 있는 로봇암을 구비하는 트랜스퍼 챔버와, 상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 유전막 증착 챔버와, 상기 트랜스퍼 챔버에 연결된 전극 증착 챔버와, 상기 트랜

스퍼 챔버에 연결된 결정화 어닐 챔버와, 상기 결정화 어닐 챔버에 연결된 어닐 수단을 포함하여 상기 결정화 챔버에서 상기 유전막의 후처리 및 상부 전극 후처리를 수행할 수 있는 것을 특징으로 한다. 상기 어닐 수단은 오존 발생기 또는 플라즈마 발생기로 구성할 수 있다.

<27> 또한, 본 발명은 복수개의 반도체 웨이퍼가 로딩된 카세트가 위치하는 로드락 챔버와, 상기 로드락 챔버에 연결되어 상기 반도체 웨이퍼를 로딩 및 언로딩할 수 있는 로봇암을 구비하는 트랜스퍼 챔버와, 상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 유전막 증착 챔버와, 상기 트랜스퍼 챔버에 연결된 후처리 챔버와, 상기 후처리 챔버에 연결된 어닐 수단을 포함하여 상기 후처리 챔버에서 상기 유전막 후처리를 수행할 수 있는 것을 특징으로 한다.

<28> 상기 어닐 수단은 오존 발생기 또는 플라즈마 발생기로 구성할 수 있다. 상기 트랜스퍼 챔버에는 전처리 챔버, 결정화 어닐 챔버, 냉각 및 예열 챔버 또는 전극 증착 챔버가 하나 또는 그 이상 연결되어 있을 수 있다.

<29> 상기 다른 기술적 과제를 달성하기 위하여 본 발명의 반도체 소자의 커패시터 형성방법은 반도체 기판 상에 하부 전극을 형성하는 단계와, 상기 하부 전극 상에 유전막을 형성하는 단계와, 상기 유전막을 산소 라디칼 또는 플라즈마 분위기에서 어닐링하여 후처리하는 단계와, 상기 후처리된 유전막 상에 상부 전극을 형성하는 단계를 포함하여 이루어진다.

<30> 상기 유전막 증착 및 후처리는 동일 챔버에서 수행할 수 있다. 상기 산소 라디칼 분위기는 오존이 포함된 산화성 분위기이며, 상기 플라즈마 분위기는 N_2O , O_2 , NH_3 , Ar, N_2 의 ECR 혹은 RF 플라즈마 분위기이다. 상기 유전막 형성 및 후처리는 적어도 1번 이상 반복할 수도 있다. 상기 유전막은 Ta_2O_5 , Al_2O_3 , TiO_2 , Y_2O_3 , $SrTiO_3$, $(Ba,Sr)TiO_3$, $PbZrTiO_3$,

$\text{SrBi}_2\text{Ta}_2\text{O}_9$, $(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$ 또는 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 중에서 어느 하나로 형성할 수 있다.

- <31> 상기 유전막을 형성하기 전에 상기 하부 전극을 전처리할 수 있고, 상기 하부 전극 전처리, 유전막 증착, 및 유전막 후처리는 동일 챔버에서 수행할 수 있다. 더 나아가서 상기 하부 전극 전처리부터 상부 전극 형성까지 하나의 박막 형성 장치에서 인시츄로 수행할 수 있다.
- <32> 상기 상부 전극을 증착하는 단계 후에 결정화 어닐을 수행할 수 있고, 상기 하부 전극 전처리나 하부 전극 형성부터 결정화 어닐까지 하나의 박막 형성 장치에서 인시츄로 수행할 수 있다.
- <33> 상기 유전막의 후처리 후에 결정화 어닐을 더 수행할 수 있고, 상기 유전막 후처리 및 결정화 어닐은 동일 챔버에서 수행할 수 있다. 상기 유전막 증착부터 상부 전극 증착까지 하나의 박막 형성 장치에서 인시츄로 수행할 수 있다.
- <34> 또한, 본 발명의 반도체 장치의 커패시터 형성방법은 반도체 기판 상에 하부 전극을 형성하는 단계와, 상기 하부 전극 상에 유전막을 형성하는 단계와, 상기 유전막 상에 상부 전극을 형성하는 단계와, 상기 상부 전극을 산소 라디칼이 포함된 분위기로 후처리하는 단계를 포함한다.
- <35> 상기 산소 라디칼이 포함된 분위기는 오존이 포함된 산화성 분위기이다. 상기 유전막은 Ta_2O_5 , Al_2O_3 , TiO_2 , Y_2O_3 , SrTiO_3 , $(\text{Ba},\text{Sr})\text{TiO}_3$, PbZrTiO_3 , $\text{SrBi}_2\text{Ta}_2\text{O}_9$, $(\text{Pb},\text{La})(\text{Zr},\text{Ti})\text{O}_3$ 또는 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 중에서 어느 하나로 형성할 수 있다. 상기 산소 라디칼로 후처리된 상부 전극 상에 제2 상부 전극을 형성하여 전체 상부 전극의 두께를 증가시킬 수 있다.
- <36> 이상과 같은 본 발명은 하부 전극 형성 후나 고유전막 형성 후에 오존 어닐 또는 플라

즈마 어닐을 수행하여 하부 전극 상에 또는 고유전막 내에 잔류하는 불순물을 줄일 수 있어 누설 전류를 낮게 할 수 있다. 또한, 본 발명은 상부 전극 형성후 오존 어닐을 수행하면 고유전막 내에 산소 공공의 형성을 줄여 누설 전류를 낮게 할 수 있다.

<37> 이하, 첨부 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

<38> 먼저, 본 발명자들은 유기 금속 화학 기상 증착법을 이용하여 500℃ 이하의 저온에서 고유전막을 형성하였을 경우 전기적 특성, 예컨대 커패시터의 누설 전류 특성을 어떻게 향상시킬 수 있는가를 생각하였다. 이하에서는 고유전막의 일 예로 페로브스카이트 구조를 갖는 BST막을 이용하였으나, 그 외에 고유전막, 예컨대 Ta_2O_5 , Al_2O_3 , TiO_2 , Y_2O_3 , $SrTiO_3$ (STO), $PbZrTiO_3$ (PZT), $SrBi_2Ta_2O_9$ (SBT), $(Pb,La)(Zr,Ti)O_3$ 또는 $Bi_4Ti_3O_{12}$ 에 대하여도 동일하게 적용할 수 있다.

<39> 도 1은 본 발명에 의하여 고유전막 형성 후 오존 어닐 유무에 따른 누설 전류를 도시한 그래프이다.

<40> 구체적으로, 도 1은 백금막(하부 전극)/BST막(고유전막)/백금막(상부 전극)으로 이루어지는 커패시터의 누설전류 특성을 나타낸다. 상기 BST막은 백금막이 형성된 기판 온도를 420℃로 한 상태에서 비정질 상태로 150Å의 두께로 형성하였다. 참조부호 a 및 b는 각각 BST막 형성 후 산소 라디칼, 예컨대 오존으로 어닐한 경우와 그렇지 않은 경우이다.

<41> 도 1에 보듯이 누설 전류값으로 $10^{-7} A/cm^2$ 를 기준으로 볼 때 오존 어닐한 경우는 그렇게 않은 경우보다 인가 전압을 더 크게 할 수 있다. 즉, 오존 어닐한 경우가 그렇지 않은 경우에 비하여 누설 전류가 낮다. 이러한 결과로부터 고유전막 형성 후 오존 어닐을 행할 경우 BST막 내에 잔류 불순물을 줄여 커패시터의 누설전류 특성을 개선할 수 있음을 알 수 있다.

- <42> 도 2는 본 발명에 의하여 고유전막 형성 후 플라즈마 어닐 유무에 따른 누설전류를 도시한 그래프이다.
- <43> 구체적으로, 도 2는 백금막(하부 전극)/BST막(고유전막)/백금막(상부 전극)으로 이루어지는 커패시터의 누설전류특성을 나타낸다. 상기 BST막은 백금막이 형성된 기판 온도를 420℃로 한 상태에서 비정질 상태로 220Å의 두께로 형성하였다. 참조부호 a 및 b는 각각 BST막 형성 후 N₂O 분위기에서 플라즈마 어닐을 수행한 경우와 플라즈마 어닐을 수행하지 않은 경우를 나타낸다.
- <44> 도 2에 보는 바와 같이 누설 전류값으로 10^{-7}A/cm^2 의 기준에서 볼 때 N₂O 플라즈마 어닐을 행한 경우가 그렇지 않은 경우 보다 인가 전압을 크게 할 수 있다. 즉, N₂O 분위기에서 플라즈마를 어닐을 해준 경우의 누설전류가 그렇지 않은 경우보다 더 낮다. 이와 같이 BST막 형성 후 N₂O 분위기에서 플라즈마 어닐을 수행할 경우 BST막 내에 잔류 불순물을 줄여 커패시터의 누설전류 특성을 개선할 수 있음을 알 수 있다.
- <45> 도 3은 본 발명에 의하여 고유전막 증착 후 어닐 조건에 따른 잔류 탄소의 분포를 도시한 그래프이다.
- <46> 구체적으로, 500℃ 이하의 저온에서 비정질 상태로 증착된 BST막 내에는 불순물, 예컨대 탄소 등이 배출되지 않고 잔류한다. 따라서, 150Å의 BST막을 비정질 상태로 증착한 후 어닐 조건에 따라 잔류 탄소가 어떻게 분포하는지를 TOF-SIMS(Time of Flight-secondary Ion Mass Spectroscopy)를 이용하여 관찰하였다.
- <47>

【표 1】

샘플	BST막 증착두께/온도	BST막 증착 후 어닐 조건
1	150Å/420℃	어닐하지 않음
2	150Å/420℃	650℃, N ₂ +O ₂ (5%) 30분 어닐
3	150Å/420℃	350℃ 오존 어닐
4	150Å/420℃	350℃ 오존 어닐 및 650℃, N ₂ +O ₂ (5%) 30분 어닐

<48> 도 3에서, 참조 부호 a, b, c 및 d는 각각 샘플 1, 2, 3 및 4의 결과를 나타낸다. 도 3에 보는 바와 같이 오존 처리를 한 샘플 3의 탄소 검출량이 다른 조건보다 적은 것을 알 수 있다. 이와 같이 BST막 증착 후 오존 어닐한 샘플에서 잔류 탄소가 작고 이에 따라 누설 전류를 감소시킬 수 있다.

<49> 또한, 본 발명자들은 하부 전극/고유전막/상부 전극으로 이루어진 반도체 소자의 커패시터의 누설 전류는 전극과 고유전막과의 일함수(work function)의 차이에 의해서 발생하는 쇼트키 배리어(shottky barrier)에 의하여 억제되므로 하부 전극에 흡착되는 불순물, 예컨대 CO₂, C 등을 줄이면 누설 전류값을 줄일 수 있다는 것을 알게 되었다. 이를 위하여 본 발명자들은 고유전막을 형성하기 전에 하부 전극에 흡착되는 불순물을 줄이기 위하여 하부 전극의 전처리를 수행하였다.

<50> 도 4는 본 발명에 의하여 하부 전극의 전처리 유무에 따른 누설 전류를 도시한 그래프이다.

<51> 구체적으로, 도 4는 로듐막(Ru, 하부 전극)/BST막(고유전막)/로듐막(상부전극)의 누설전류특성을 나타낸다. 상기 하부 전극은 산소 라디칼, 예컨대 오존을 이용하여 전처리한 경우(참조부호 a)와 그렇지 않은 경우(참조부호 b)이다. 오존을 이용한 상기 하부 전극의 전처리는 350℃에서 5분간 10%의 오존 농도로 수행하였다.

<52> 도 4에 보듯이, 오존으로 하부 전극을 전처리 하지 않은 경우는 1.0V에서 5×10^{-3}

A/cm²의 누설전류를 나타내는데 반하여, 오존으로 하부 전극을 전처리한 경우는 1.0V에서 1×10^{-5} A/cm²로 약 1/100 가량 누설전류가 줄어든다. 따라서, 하부 전극을 오존으로 전처리할 경우 잔류 불순물을 줄여 커패시터의 누설전류 특성을 개선할 수 있음을 알 수 있다.

<53> 또한, 본 발명자들은 650℃ 이상의 고온 환원성 분위기, 예컨대 질소 분위기에서 결정화 열처리와 상부 전극 형성을 동시에 수행할 경우 BST막 내에 산소 공공(vacancy) 형성이 용이하고 상부 전극인 Pt의 미그레이션(migration)으로 인하여 BST막이 스트레스를 받아 누설 전류가 증가함을 알게 되었다. 이를 해결하기 위하여, 상부 전극 형성 시에 산소를 첨가하여 보았다.

<54> 도 5는 본 발명에 의하여 상부 전극 증착시 산소의 첨가 유무에 따른 누설 전류를 도시한 그래프이다.

<55> 구체적으로, 도 5는 Pt막(하부 전극)/BST막(고유전막)/Pt막(상부 전극)의 누설전류 특성을 나타낸다. 상기 상부 전극은 BST막의 결정화를 위하여 650℃의 환원성 분위기인 N₂분위기에서 증착 할 때 산소를 첨가한 경우(참조부호 a로 표시) 및 산소를 첨가하지 않은 경우(참조부호 b로 표시)이다. 도 5에 보듯이 산소를 첨가하지 않은 경우는 누설전류가 1.0V에서 5×10^{-3} A/cm²를 나타내나, 산소를 첨가한 조건에서는 누설전류가 1.0V에서 2×10^{-6} A/cm²를 나타내 약 1000배 작음을 알 수 있다. 이와 같이 상부 전극 증착시 산소를 첨가할 경우 누설 전류가 작게 되는 것은 상부 전극이 PtO로 되어 상부 전극에 포함되어 있는 산소가 BST막 내의 산소 공공의 형성을 막아주고 동시에 질소 열처리시 상부 전극의 Pt가 미그레이션 되는 현상을 줄이기 때문이다.

<56> 더욱이, 상부 전극 형성시 산소를 첨가할 때 보다 상부 전극 증착 후 산소 라디칼, 예컨

대 오존이 포함된 분위기에서 어닐링할 경우 PtO 상부 전극의 형성이 용이하고 결합도 강하게 할 수 있다. 특히, 상부 전극의 두께를 얇게 증착한 후 산소 라디칼이 포함된 분위기에서 어닐링할 경우 BST막의 결정화 온도를 줄일 수 있고, BST막과 상부 전극과의 계면 특성을 향상시킬 수 있고, 환원성 분위기에서 어닐링할 경우 상부 전극의 Pt 미그레이션을 줄일 수 있다.

<57> 상술한 도 1 내지 도 5를 고려하여 볼 때, 하부 전극의 전처리, 고유전막 형성 후 오존 어닐 또는 플라즈마 어닐의 후처리를 수행하면 하부 전극 상에 또는 고유전막 내에 잔류하는 탄소를 줄일 수 있어 누설 전류값을 낮게 할 수 있다. 또한, 상부 전극 형성 후에 오존 어닐을 수행하면 고유전막 내에 산소 공공의 형성을 억제하여 누설전류를 낮게 할 수 있다. 또한, 하부 전극 상에 또는 유전막 상에 흡착하는 불순물, 예컨대 CO₂, C 등을 줄일 수 있으면 누설 전류값을 더 낮게 할 수 있다. 이를 위하여, 본 발명자들은 하부 전극이나 고유전막이 형성된 반도체 기판을 대기 중에 노출시키지 않아 불순물 흡착을 방지할 수 있고 상기 하부 전극 전처리, 고유전막 후처리, 상부 전극 후처리 등을 수행할 수 있는 박막 형성 장치를 개발하였다.

<58> 이하에서, 설명되는 본 발명의 박막 형성 장치의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어져서는 안된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면에서 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다. 그리고, 본 명세서에서 '인시츄(in-situ)'라는 용어는 하나의 장비에서 다른 장비로 이동하지 않고 공정을 진행하는 것을 의미한다.

<59> 제1 실시예

<60> 도 6은 본 발명의 제1 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다.

<61> 구체적으로, 본 발명의 제1 실시예에 의한 박막 형성 장치는 반도체 웨이퍼(1, 반도체 기판)가 로딩된 카세트(3)가 위치하는 로드락 챔버(5, loadlock chamber)와, 상기 로드락 챔버(5)에 연결되어 상기 반도체 웨이퍼(1)를 로딩 및 언로딩할 수 있는 수단, 예컨대 로봇 암(7)을 구비하는 트랜스퍼 챔버(9)와, 상기 트랜스퍼 챔버(9)에 연결된 다기능 챔버(11)와, 상기 다기능 챔버(11)에 연결된 어닐 수단, 예컨대 산소 라디칼을 발생시킬 수 있는 오존 발생기 또는 플라즈마 발생기를 구비한다.

<62> 특히, 상기 다기능 챔버(11)는 고유전막을 증착할 수 있을 뿐만 아니라 오존 발생기 혹은 플라즈마 발생기와 같은 어닐 수단이 연결되어 있기 때문에 산소 라디칼이 포함된 오존이나 플라즈마로 하부 전극 전처리를 수행하거나, 고유전막 후처리를 수행하거나, 상부 전극 후처리를 수행할 수 있다. 또한, 다기능 챔버를 이용하면 반도체 웨이퍼의 로딩/언로딩, 예열 및 냉각에 필요한 시간을 줄일 수 있고 반도체 웨이퍼가 개개의 챔버로 이동하는 데 필요한 시간을 단축할 수 있어 반도체 소자 제조 비용이 절감된다. 또한, 트랜스퍼 챔버를 공동으로 사용함에 따른 장비 가격 및 클린룸 면적의 효율화를 얻을 수 있다.

<63> 여기서, 도 7 및 도 8을 참조하여 오존 발생기 또는 플라즈마 발생기로 구성된 어닐 수단과 연결된 다기능 챔버를 상세하게 설명한다. 도 7 및 도 8은 오존 어닐이 가능한 다기능 챔버와 플라즈마 어닐이 가능한 다기능 챔버를 분리하여 도시하였으나, 하나로 통합하여 오존 어닐과 플라즈마 어닐을 모두 가능한 다기능 챔버를 구현할 수도 있다.

- <64> 도 7은 도 6의 오존 발생기와 연결된 다기능 챔버의 일 예를 개략적으로 도시한 도면이다.
- <65> 도 7을 참조하면, 다기능 챔버(11)의 상부에는 고유전막, 예컨대 BST막을 증착하기 위한 유기 소스(17), 예컨대 $\text{Ba}(\text{THD})_2$, $\text{Sr}(\text{THD})_2$ 및 $\text{Ti}(\text{THD})_2(\text{O}-i-\text{C}_3\text{H}_7)_2$ 용액을 공급할 수 있는 소스 공급 장치(17, 19, 21, 23)를 구비한다. 상기 소스 공급 장치(17, 19, 21, 23)는 액체 유기 소스를 정량화 할 수 있는 액체 정량 장치(19)와, 상기 액체 정량 장치(19)에 연결되어 상기 액체 유기 소스를 기화시킬 수 있는 기화기(21)와, 상기 기화기(21)로부터의 나오는 유기 소스를 이송할 수 있도록 이송 가스, 예컨대 아르곤 가스가 배출되는 이송 가스 소스(23)로 이루어진다. 본 실시예에서 기화기는 하나로 구성하였으나 1 내지 3개로 구성할 수도 있다. 이렇게 기화된 소스 가스는 소스 분사 장치(25), 예컨대 샤워 헤드를 통하여 다기능 챔버(11) 내로 균일하게 분사된다. 상기 유기 소스를 녹이기 위한 용매로는 THF(tetra Hydro Furan), n-butyl acetate, acetone, alcohol 등을 이용한다. 그리고, 상기 다기능 챔버(11)에는 상기 기화된 소스 가스와 반응시켜 고유전막을 형성할 수 있는 산화 가스 소스(22)가 연결되어 있다. 본 실시예에서, BST막을 예로 들었으나, Ta_2O_5 막을 형성할 경우 소스는 $\text{Ta}(\text{O}-\text{C}_2\text{H}_5)_5$ 로 구성할 수 있다.
- <66> 그리고, 상기 다기능 챔버(11)의 하부는 인입부(24)를 통하여 로딩된 반도체 웨이퍼(27, 반도체 기판)가 놓이는 지지대(28)와, 상기 반도체 웨이퍼를 $300\sim 700^\circ\text{C}$ 의 온도로 조절할 수 있는 히터(29)가 포함되어 있다. 상기 히터(29)는 고유전막의 증착 온도와 전후처리 온도가 다른 경우에 빠르게 온도를 올리고 내릴 수 있는 램프 형태로 구성한다.
- <67> 그리고, 상기 다기능 챔버(11)에는 산소 라디칼이 포함된 분위기의 어닐 공정을 위해서 오존을 발생시키는 오존 발생기(15)가 연결되어 있다. 상기 오존 발생기(15)에서는 산

소와 질소의 혼합 가스를 입력가스를 이용하여 오존을 발생시킨다. 상기 입력가스의 양, 입력 가스중에서 질소의 양 및 오존 농도는 각각 1000sccm~10slm, 1~30%, 0.1~10 vol%로 조절한다. 그리고, 발생된 오존은 다기능 챔버(11)로 유입시켜 어닐 공정을 수행한다. 또한, 사용된 오존 함유 가스는 다기능 챔버의 배기단에 설치된 오존 제거 장치(31), 펌프(33) 및 가스 스크러버(35)를 통하여 오존이 제거되어 최종적으로 외부로 배출된다. 상기 펌프는 상기 다기능 챔버의 압력을 0.1~10torr의 범위에서 조절할 수 있다.

<68> 그리고, 오존 어닐시에 반도체 웨이퍼 상부, 즉 샤워 헤드의 하단부에 오존 어닐 효과를 높이기 위하여 자외선 램프(도시 안됨)를 추가로 설치할 수 도 있다. 그리고, 다기능 챔버(11)의 외벽을 세정하기 위한 세정 가스, 예컨대 ClF_3 를 공급하기 위한 세정 가스 소스(37)가 다기능 챔버(11)에 연결되어 있다.

<69> 도 8은 도 5의 플라즈마 발생기에 연결된 다기능 챔버의 일 예를 개략적으로 도시한 도면이다. 도 8은 플라즈마 발생기를 중심으로 도시하였고, 다기능 챔버는 도 6과 동일하다. 그리고, 도 8의 플라즈마 발생기는 ECR 플라즈마를 설명하였으나 다른 플라즈마, 예컨대 13.56 MHz의 RF 플라즈마를 사용하여도 무방하다.

<70> 도 8을 참조하면, 다기능 챔버(11)는 2.54GHz의 마이크로파를 이용하는 ECR 플라즈마를 발생시키는 플라즈마 발생기와 연결되어 있다. 상기 플라즈마 발생기는 발생된 마이크로 파를 가이드 하는 웨이브 가이드(43)와, 마그네트 코일(45) 및 플라즈마 가스 소스(47)를 포함한다. 상기 플라즈마 가스 소스(47)로부터는 O_2 , NH_3 , Ar, N_2 또는 N_2O 와 같은 가스가 배출되어 마그네틱 코일(45) 사이에서 O_2 , NH_3 , Ar, N_2 또는 N_2O 의 플라즈마가 발생된다. 이렇게 발생된 플라즈마는 다기능 챔버(11)에 유입된다.

<71> 제2 실시예

- <72> 도 9는 본 발명의 제2 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제2 실시예는 제1 실시예의 다기능 챔버(11)에 전극을 증착할 수 있는 전극 증착 챔버(51)를 포함한 것을 제외하고는 동일하다.
- <73> 구체적으로, 본 발명의 제2 실시예에 의한 박막 형성 장치는 하부 전극 전처리, 고유전막 증착, 고유전막 후처리 및 상부 전극 후처리가 가능한 다기능 챔버(11)와, 전극을 증착할 수 있는 전극 증착 챔버(51)를 구비한다. 따라서, 제1 실시예에 의한 효과뿐만 아니라 고유전막 후처리 후에 대기 중에 노출됨이 없이 인시츄로 상부 전극을 증착할 수 있고, 하부 전극 형성부터 상부 전극 후처리까지 인시츄로 진행할 수 있다. 그러므로, 고유전막 내 및 고유전막 상에 잔류 불순물의 발생을 억제하고 고유전막 내에 공공 형성을 억제시켜 누설 전류를 획기적으로 감소시킬 수 있다. 여기서, 도 9를 참조하여 전극 증착 챔버를 설명한다.
- <74> 도 10은 도 9의 전극 증착 챔버의 일 예를 개략적으로 도시한 도면이다.
- <75> 구체적으로, 전극 증착 챔버(51)는 유전막의 전극으로 형성될 도전성 물질을 증착할 수 있는 챔버로써 도 6의 다기능 챔버와 유사하게 구성된다. 즉, 전극 증착 챔버(51)는 Ru와 같은 전극을 형성하기 위한 유기 소스(53), 예컨대 $\text{bis}(\text{etchycyclopentadien})[\text{Ru}(\text{EtCp})_2]$, $\text{Ru}(\text{THD})_3$ (THD: Tetramethyl heptadionate)를 용매에 녹인 용액을 액체 소스 정량 장치(55)를 통해 기화기(57)에서 기화시킨다. 이렇게 기화된 소스 가스는 이송 가스 소스(59)로부터 나오는 이송 가스, 예컨대 아르곤 가스를 이용하여 소스 분사 장치(61), 예컨대 샤워 헤드를 통과시켜 전극 증착 챔버(51)로 균일하게 입사시킨다.
- <76> 그리고, 상기 전극 증착 챔버(51)에는 인입부(63)를 통하여 지지대(64)에 로딩된 반도체 웨이퍼(65, 반도체 기판)를 300~600℃의 온도로 조절할 수 있는 히터(67)와 0.1~

10Torr의 압력을 조절할 수 있는 펌프(69)를 구비한다. 그리고, 전극 증착 챔버(51) 벽에 증착된 증착물질을 세정할 수 있는 세정 가스, ClF_3 가스를 공급할 수 있는 세정 가스 소스(70)가 전극 증착 챔버(51)에 연결되어 있다. 본 실시예에서는 전극으로써 Ru막을 예로 들어 설명하였으나, 백금족 금속, 백금족 금속의 산화물, 금속 질화물 또는 내열성 금속을 증착할 수 있다.

<77> 제3 실시예

<78> 도 11은 본 발명의 제3 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제3 실시예는 제2 실시예의 다기능 챔버(11) 및 전극 증착 챔버(51)에 다 결정화 어닐 챔버(71)가 더 포함된 것을 제외하고는 동일하다.

<79> 구체적으로, 본 발명의 제3 실시예에 의한 박막 형성 장치는 하부 전극 전처리, 고유전막 증착, 고유전막 후처리 및 상부 전극 후처리가 가능한 다기능 챔버(11)와, 전극을 증착할 수 있는 전극 증착 챔버(51)와, 비정질 상태로 증착된 유전막을 결정화 온도 이상에서 어닐하여 결정화시키는 결정화 어닐 챔버(71)를 포함한다. 상기 결정화 어닐 챔버(71)는 온도의 상승 및 하강을 빨리 할 수 있는 급속 가열식 로 또는 통상의 핫월식의 매엽식 노로 구성한다. 상기 결정화 어닐 챔버(71)는 $300\sim 900^\circ\text{C}$ 의 기판 온도, $0.1\sim 760$ Torr의 압력, 산화성 분위기 또는 비산화성 분위기의 조절이 가능하다. 따라서, 본 발명의 제3 실시예에 의하면 제2 실시예에 의한 효과뿐만 아니라 상부 전극 증착 전 또는 후에 결정화 어닐을 인시츄로 수행하여 누설전류를 감소시킬 수 있다.

<80> 제4 실시예

<81> 도 12는 본 발명의 제4 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평

면도이다. 본 발명의 제4 실시예는 제2 실시예의 다기능 챔버(11)를 유전막 증착 챔버(73)로 한정된 것을 제외하고는 동일하다. 상기 유전막 증착 챔버(73)는 다기능 챔버(11)와는 구조적으로 동일하게 구성한다.

<82> 구체적으로, 본 발명의 제4 실시예에 의한 박막 형성 장치는 고유전막 증착, 고유전막 후처리 및 상부 전극 후처리가 가능한 유전막 증착 챔버(73)와, 전극을 증착할 수 있는 전극 증착 챔버(51)를 구비한다. 따라서, 본 발명의 제4 실시예에 의하면 고유전막 후처리 후에 대기 중에 노출됨이 없이 인시츄로 상부 전극을 증착할 수 있으며, 또, 하부 전극 형성부터 상부 전극 후처리까지도 인시츄로 수행할 수 있다. 그러므로, 고유전막 내 혹은 하부 전극 상에 수분, 탄소 등의 잔류 불순물이 흡착되는 것을 방지하고 고유전막 내에 산소 공공을 줄여 누설전류를 감소시킬 수 있다.

<83> 제5 실시예

<84> 도 13은 본 발명의 제5 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제5 실시예는 제4 실시예에 결정화 어닐 챔버(71)가 포함된 것을 제외하고는 동일하다.

<85> 구체적으로, 본 발명의 제5 실시예에 의한 박막 형성 장치는 고유전막 증착, 고유전막 후처리 및 상부 전극 후처리를 할 수 있는 유전막 증착 챔버(73)와, 전극을 증착할 수 있는 전극 증착 챔버(51)와, 비정질 상태로 증착된 유전막을 어닐하여 결정화시키는 결정화 어닐 챔버(71)를 포함한다. 결정화 어닐 챔버(71)는 온도의 상승 및 하강을 빨리 할 수 있는 급속 가열식 로 또는 통상의 핫월식의 매엽식 노로 구성한다. 상기 결정화 어닐 챔버(71)는 400 ~ 900℃의 기판 온도, 0.1 ~ 760Torr의 압력, 산화성 분위기 및 비산화성 분위기 조절이 가능하게 구성한다. 따라서, 본 발명의 제5 실시예에 의하면, 제4 실시예에 의한 효과뿐만 아니

라 하부 전극 증착 전 또는 후에 결정화 어닐을 수행하여 누설전류를 감소시킬 수 있다.

<86> 제6 실시예

<87> 도 14는 본 발명의 제6 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제6 실시예는 제4 실시예에 전극 전처리를 수행할 수 있는 전처리 챔버(77)를 포함한 것을 제외하고는 동일하다.

<88> 구체적으로, 본 발명의 제6 실시예에 의한 박막 형성 장치는 고유전막 증착, 고유전막 후처리 및 상부 전극 후처리를 할 수 있는 유전막 증착 챔버(73)와, 전극을 증착할 수 있는 전극 증착 챔버(51)와, 하부 전극을 전처리 할 수 있는 전처리 챔버(77)를 포함한다. 따라서, 본 발명의 제6 실시예에 의하면, 제4 실시예의 효과뿐만 아니라 전극을 전처리한 후 고유전막 증착 및 후처리를 인시츄로 수행하여 누설전류를 감소시킬 수 있다.

<89> 제7 실시예

<90> 도 15는 본 발명의 제7 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제7 실시예는 제5 실시예의 결정화 어닐 챔버(71)에 오존 발생기 또는 플라즈마 발생기와 같은 어닐 수단(13)을 연결하고, 유전막 증착 챔버(73)에서는 어닐 수단을 제거한 것을 제외하고는 동일하다.

<91> 구체적으로, 본 발명의 제7 실시예에 의한 박막 형성 장치는 유전막을 증착할 수 있는 유전막 증착 챔버(73)와, 전극을 증착할 수 있는 전극 증착 챔버(51)와, 비정질 상태로 증착된 유전막을 어닐하여 결정화시키는 결정화 어닐 챔버(71)와, 상기 결정화 어닐 챔버(71)에 연결된 오존 발생기 또는 플라즈마 발생기의 어닐 수단(13)을 포함한다. 상기 결정화 어닐 챔버는 상부 전극 후처리도 수행할 수

있다. 따라서, 유전막 증착 후처리와 결정화 어닐을 한 챔버에서 수행하고 대기 중에 노출됨이 없이 인시츄로 상부 전극을 증착할 수 있고, 또 하부 전극부터 상부 전극 후처리도 인시츄로 형성할 수 있다. 그러므로, 고유전막 내에 또는 상에 수분, 탄소 등의 잔류 불순물의 발생을 억제하고 고유전막 내에 산소 공공의 형성을 억제시켜 누설전류를 감소시킬 수 있다.

<92> 제8 실시예

<93> 도 16은 본 발명의 제8 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제8 실시예는 제5 실시예에 냉각 챔버(79)가 더 포함된 것을 제외하고는 동일하다.

<94> 구체적으로, 본 발명의 제8 실시예에 의한 박막 형성 장치는 냉각챔버(79)를 포함한다. 냉각 챔버(79)는 도전막 증착 후 혹은 어닐 후에 고온으로 유지되고 있는 기판이 카세트로 들어가기 전에 미리 냉각함으로써 기판 냉각에 필요한 지체 시간을 줄이는 역할을 한다. 본 실시예에서, 상기 냉각 챔버만을 구성하였으나 예열 챔버(도시 안함)를 더 구성할 수도 있다. 예열 챔버는 유전막 증착 전에 기판 온도를 유전막 증착 온도 부근으로 예열함으로써 유전막 증착 챔버(73)에서 기판의 온도의 안정화 시간을 줄이는 역할을 한다.

<95> 제9 실시예

<96> 도 17은 본 발명의 제9 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제9 실시예는 제4 실시예의 유전막 증착 챔버에서 어닐 수단을 제거하고, 유전막 후처리 챔버 및 이에 연결된 어닐 수단을 포함하는 것을 제외하고는 동일하다.

<97> 구체적으로, 제9 실시예에 의한 박막 형성 장치는 유전막을 증착할 수 있는 유전막 증착 챔버(73)와, 상기 유전막을 후처리 할 수 있는 유전막 후처리 챔버(81)와, 상기 유전막

후처리 챔버(81)에 연결된 오존 발생기 또는 플라즈마 발생기와 같은 어닐 수단(13)과, 전극을 증착할 수 있는 전극 증착 챔버(51)를 구비한다. 상기 유전막 후처리 챔버(81)는 상부 전극 후처리도 가능하다.

<98> 따라서, 본 발명의 제9 실시예에 의한 박막 형성 장치는 고유전막 증착 및 후처리를 인시츄로 수행할 수 있고, 하부 전극에서 상부 전극까지도 인시츄로 형성할 수 있어 커패시터의 누설전류를 감소시킬 수 있다.

<99> 제10 실시예

<100> 도 18은 본 발명의 제10 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제10 실시예는 제9 실시예에다 전극 전처리 챔버(77)를 구성한 것을 제외하고는 동일하다.

<101> 구체적으로, 본 발명의 제10 실시예에 의한 박막 형성 장치는 하부 전극 형성후 전처리할 수 있는 전극 전처리 챔버(77)를 구비한다. 따라서, 제9 실시예에 의한 효과 외에 고유전막 증착 전에 하부 전극을 전처리하여 하부 전극 상에 존재하는 탄소 및 결합 등을 제거함으로써 커패시터의 누설전류를 감소시킬 수 있다.

<102> 제11 실시예

<103> 도 19는 본 발명의 제11 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제11 실시예는 제9 실시예에 결정화 어닐 챔버(71)가 포함된 것을 제외하고는 동일하다.

<104> 구체적으로, 본 발명의 제11 실시예에 의한 박막 형성 장치는 결정화 어닐 챔버(71)를 구비한다. 따라서, 제9 실시예에 의한 효과뿐만 아니라 비정질의 고유전막 증착 후에 결정화

어닐 챔버에서 결정화 어닐을 수행하여 커패시터의 누설전류를 감소시킬 수 있다.

<105> 제12 실시예

<106> 도 20은 본 발명의 제12 실시예에 의한 박막 형성 장치를 도시한 개략적으로 도시한 평면도이다. 본 발명의 제12 실시예는 제10 실시예 및 제11 실시예에 예열챔버(81) 및 냉각 챔버(79)가 더 포함된 것을 제외하고는 동일하다.

<107> 구체적으로, 제12 실시예에 의한 박막 형성 장치는 예열 혹은 냉각시키는 예열 챔버(81) 및 냉각 챔버(79)가 포함되어 있다. 예열 챔버(81)는 유전막 증착 전에 기판 온도를 유전막 증착 온도 부근으로 예열함으로써 유전막 증착 챔버(73)에서 기판의 온도의 안정화 시간을 줄이는 역할을 한다. 또 냉각 챔버(79)는 도전막 증착후 혹은 어닐 후에 고온으로 유지되고 있는 기판이 카세트로 들어가기 전에 미리 냉각함으로써 기판 냉각에 필요한 지체 시간을 줄이는 역할을 한다.

<108> 이하에서는 상기 본 발명의 박막 형성 장치를 이용하여 반도체 소자의 커패시터를 제조하는 방법을 도 21 내지 도 29를 이용하여 설명한다. 하기 실시예들은 본 발명의 박막 형성 장치를 이용하여 커패시터를 제조할 수 있는 다양한 예중 그 일부로써 변경할 수 있다. 그리고, 하기 실시예에서 참조부호 a는 본 발명의 박막 형성 장치의 한 챔버에서 수행할 수 있는 것을 나타내며, 참조부호 b는 본 발명의 박막 형성 장치에서 인시츄로 수행할 수 있는 공정을 나타낸다. 또한, 커패시터에 있어서 하부 전극 형성 공정, 유전막 증착 공정, 상부 전극 증착 공정을 필수 공정이며, 나머지 공정들은 필요에 따라서 수행할 수도 있고 그렇지 않을 수도 있다.

<109> 도 21은 본 발명에 의한 반도체 소자의 커패시터 제조방법의 제1 실시예를 설명하기

위한 흐름도이다. 즉, 제1 실시예는 하부 전극 전처리, 유전막 증착 및 유전막 후처리는 다기능 챔버에서 수행하고, 하부 전극 전처리에서부터 상부 전극 증착까지는 인시츄로 수행한다.

<110> 구체적으로, 반도체 기판(반도체 웨이퍼) 상에 50~10000 Å의 두께로 커패시터의 하부 전극을 형성한다(스텝 101). 상기 하부 전극은 백금족 금속, RuO_2 , IrO_2 , $(\text{Ba}, \text{Sr})\text{RuO}_3$ 등의 백금족 금속의 산화물, 금속 질화물 또는 내열성 금속을 이용할 수 있다. 그런데, 하부 전극으로는 Pt, Ru, Ir과 같은 백금족 금속이 바람직하며, 스퍼터링법, 유기화학기상증착법 또는 전기 도금법 등을 이용하여 형성할 수 있다.

<111> 이어서, 하부 전극이 형성된 기판을 다기능 챔버에서 주입시켜 산소 라디칼이 포함된 분위기, 예컨대 오존 분위기 또는 플라즈마 분위기에서 하부 전극을 전처리한다(스텝 103).

<112> 상기 하부 전극 전처리를 오존 분위기를 이용하는 경우, 기판 온도는 상온~700℃, 바람직하게는 300~450℃ 및 오존농도는 0.1~10 VOL%에서 약 5분 정도 진행한다. 더욱이, 상기 오존 어닐시 자외선 광을 더 조사할 수도 있다. 상기 하부 전극 전처리를 플라즈마 분위기를 사용할 경우 N_2O , O_2 , NH_3 , Ar, N_2 의 ECR 혹은 RF 플라즈마 분위기를 이용하고 상온~500℃의 기판 온도, 0.1~10 Torr의 챔버 압력 조건에서 수행한다. 본 실시예에서는 N_2O 가스를 이용한 ECR 플라즈마를 사용하며, 200℃의 기판 온도에서 1~10분의 조건으로 실시하였다.

<113> 다음에, 다기능 챔버에서 상기 하부 전극 상에 고유전막, 예컨대 BST막을 100~500 Å의 두께로 화학기상증착법 또는 스퍼터링법으로 증착한다(스텝 105). 상기 고유전막으로 BST막을 유기금속화학기상증착법으로 형성하는 경우, $\text{Ba}(\text{THD})_2$, $\text{Sr}(\text{THD})_2$, $\text{Ti}(\text{THD})_2$ 를 기본으로 하는 유기 소스와 O_2 와 N_2O 의 혼합가스를 산화가스로 하여 400~600℃의 기판 온도, 1~10 torr 압력 조건에서 형성한다.

- <114> 다음에, 다기능 챔버에서 유전막 후처리 공정을 실시한다(스텝 107). 상기 유전막 후처리시 조건은 상기 하부 전극 전처리 조건과 동일하게 산소 라디칼이 포함된 분위기 또는 플라즈마 분위기에서 수행한다. 더욱이, 상기 유전막 후처리 효과를 더하기 위해 유전막 증착 및 후처리 단계를 n 회 반복할 수 도 있다. 이때, 한 사이클로 증착되는 고유전막의 두께는 20 ~ 200 Å 이 바람직하다. 이를 통하여 유전막 증착시에 포함되는 탄소 등의 불순물을 효과적으로 제거할 수 있다.
- <115> 다음에, 후처리가 완료된 반도체 기판을 전극 증착 챔버로 이동시켜 후처리된 유전막 상에 상부 전극을 50 ~ 3000 Å 의 두께로 증착한다(스텝 109). 상기 상부 전극은 하부 전극과 동일한 물질을 이용하여 스퍼터링법 또는 유기금속화학기상증착법(MOCVD)으로 형성한다. 예컨대, MOCVD법으로 Ru를 증착하는 경우, $\text{Ru}(\text{EtCp})_2$ 를 소스로 하여 기판온도 150 ~ 500°C, 챔버 압력이 0.1 ~ 10 Torr의 조건에서 Ru를 증착할 수 있다.
- <116> 다음에, 상부 전극이 증착된 반도체 기판을 결정화 챔버로 이동시켜 결정화 어닐을 수행한다(스텝 111). 상기 결정화 어닐은 BST막을 500 ~ 800°C, 산화성 혹은 비산화성 분위기의 0.1 ~ 10 Torr의 챔버 압력에서 실시한다. Ru를 BST의 전극으로 사용할 경우는 산소가 함유된 Ru는 산화되므로, 산소를 적은 양 포함하거나 비산화성의 분위기가 적당하며, Pt의 경우는 산소가 1 ~ 10%에 포함된 산소와 질소의 혼합가스가 적당하다. 결정화 어닐시간은 어닐온도가 낮을수록 길어지나 750°C의 어닐온도에서 30초 내지 30분이 적당하다. 그리고, 커패시터 형성시의 어닐이 다른 소자의 특성에 미치는 영향을 줄이기 위하여 RTA(rapid thermal annealing) 공정을 사용한다.
- <117> 도 22 및 도 23은 각각 본 발명에 의한 반도체 소자의 커패시터 제조방법의 제2 실시예 및 제3 실시예를 설명하기 위한 흐름도이다.

- <118> 구체적으로, 도 22의 제2 실시예는 하부 전극 전처리에서부터 결정화 어닐까지 본 발명의 박막 형성 장치에서 인시츄로 수행하는 것을 제외하고는 제1 실시예와 동일하다. 그리고, 도 23의 제3 실시예는 하부 전극 전처리에서 상부 전극 증착까지 본 발명의 박막 형성 장치에서 인시츄로 진행하고 결정화 어닐을 수행하지 않은 것을 제외하고는 제1 실시예와 동일하다.
- <119> 도 24 및 도 25는 본 발명에 의한 반도체 소자의 커패시터 제조방법의 제4 실시예 및 제 5 실시예를 설명하기 위한 흐름도이다.
- <120> 구체적으로, 제4 실시예는 결정화 어닐을 상부 전극 증착 전에 수행하고 유전막 후처리 및 결정화 어닐은 하나의 챔버에서 수행하며, 하부 전극 전처리부터 상부 전극 증착까지 본 발명의 박막 형성 장치에서 인시츄로 진행하는 것을 제외하고는 상기 제1 실시예와 동일하다. 그리고, 도 25의 제5 실시예는 하부 전극 전처리 공정을 생략하는 것을 제외하고는 제4 실시예와 동일하다.
- <121> 도 26 및 도 27은 본 발명에 의한 반도체 소자의 커패시터 제조방법의 제6 실시예 및 제7 실시예를 설명하기 위한 흐름도이다.
- <122> 구체적으로, 제6 실시예는 유전막 증착 전에 기판 예열 공정(스텝 113)을 포함하고 상부 전극 증착후에는 결정화 어닐 및 기판 냉각 공정(스텝 115)을 포함한다. 상기 예열 공정은 5분 이내로 그 다음 단계의 공정조건 온도에 도달될 수 있도록 하고, 냉각은 5분 이내 상온으로 기판온도가 냉각될 수 있도록 한다. 그리고, 기판 예열 공정부터 기판 냉각 공정까지 인시츄로 진행하고 유전막 증착 및 유전막 후처리는 하나의 챔버에서 수행한다. 이외에는 제 1 실시예와 동일하다. 그리고, 도 27의 제7 실시예는 하부 전극 형성부터 결정화 어닐까지 인시츄로 진행하는 것을 제외하고는 제1 실시예와 동일하다.

- <123> 도 28은 본 발명에 의한 반도체 소자의 커패시터 제조방법의 제8 실시예를 설명하기 위한 흐름도이다.
- <124> 구체적으로, 제8 실시예는 제3 실시예와 비교하여 하부 전극을 전처리하지 않고 상부 전극을 형성한 것을 제외하고는 동일하다. 제3 실시예와 같이 하부 전극 형성부터 상부 전극 증착까지 동일하게 수행한다. 이어서, 상기 상부 전극이 형성된 반도체 기판을 후처리한다(스텝 117) 상기 상부 전극의 후처리는 다기능 챔버에서 산소 라디칼이 포함된 분위기, 예컨대 오존 분위기, 기판 온도는 $200 \sim 6000^{\circ}\text{C}$, 오존농도는 $0.1 \sim 10 \text{ Vol\%}$ 에서 약 30초 내지 30분으로 수행한다. 그리고, 상부 전극의 후처리시 자외선을 기판에 쬔어줄 수 도 있다. 이렇게 하면 상술한 바와 같이 커패시터의 누설 전류를 낮게 가져 갈 수 있다.
- <125> 도 29는 본 발명에 의한 반도체 소자의 커패시터 제조방법의 제9 실시예를 설명하기 위한 흐름도이다.
- <126> 구체적으로, 제8 실시예는 제8 실시예와 비교하여 상부 전극을 두 번에 나누어서 형성한 것을 제외하고는 동일하다. 먼저, 제8 실시예와 같이 하부 전극 형성 및 유전막을 형성한 후 제1 상부 전극을 증착한다(스텝 119). 제1 상부 전극은 산소 라디칼이 통과할 수 있도록 $50 \sim 1000 \text{ \AA}$ 의 두께로 형성한다. 이어서, 상기 제8 실시예와 동일한 조건으로 제1 상부 전극을 후처리한다(스텝 121). 계속하여, 상기 후처리된 제1 상부 전극 상에 제2 상부 전극을 $50 \sim 3000 \text{ \AA}$ 의 두께로 형성한다(스텝 123). 이렇게 하면 상술한 바와 같이 커패시터의 누설 전류를 낮게 가져 갈 수 있고, 전체 상부 전극의 두께를 증가시킬 수 있다.
- <127> 도 30은 도 28에 도시한 제8 실시예를 실제의 반도체 소자의 커패시터의 제조에 적용하는 것을 설명하기 위한 도면이다.

<128> 구체적으로, 필드 절연막(103)에 의하여 한정된 반도체 기판(101)의 액티브 영역에 통상적인 방법으로 소오스 영역(105), 드레인 영역(107) 및 게이트 산화막(109)을 게재한 게이트 전극(111)으로 구성된 트랜지스터가 형성되어 있다. 그리고, 상기 드레인 영역(107)에는 비트 라인(113)과 상기 소오스 영역(109)에는 층간절연막(115) 내의 콘택홀에 형성된 플러그(117) 및 배리어 금속막(119)을 통하여 연결되는 하부 전극(121)이 형성되어 있다. 상기 하부 전극(121)은 50~10000Å의 두께로 백금족 금속, 백금족 금속의 산화물, 금속 질화물 또는 내열성 금속 등을 스퍼터링법, 유기화학기상증착법 또는 전기 도금법 등을 이용하여 형성한다.

<129> 그리고, 상기 하부 전극(121) 상에 유전막(123) 및 상부 전극(125)이 형성되어 있다. 상기 유전막(123)은 상술한 바와 같이 고유전막, 예컨대 BST, Ta_2O_5 , Al_2O_3 , TiO_2 , Y_2O_3 , $SrTiO_3$ (STO), $PbZrTiO_3$ (PZT), $SrBi_2Ta_2O_9$ (SBT), $(Pb,La)(Zr,Ti)O_3$ 또는 $Bi_4Ti_3O_{12}$ 로 형성한다. 그리고, 상기 상부 전극(125)은 상기 하부 전극(121)과 동일한 방법으로 동일한 물질로 형성된다.

<130> 그리고, 상술한 바와 같이 상기 상부 전극의 전면에는 산소 라디칼이 포함된 분위기, 예컨대 오존 분위기에서 후처리(127)를 수행함으로써 상술한 바와 같이 커패시터의 누설 전류를 낮게 가져 갈 수 있다. 더욱이, 상기 제9 실시예와 같이 후처리된 상부 전극(125) 상에 제2 상부 전극을 형성하여 전체 상부 전극의 두께를 증가시킬 수 도 있다.

【발명의 효과】

<131> 상술한 바와 같이 본 발명에 의하면, 하부 전극 형성 후 오존이나 플라즈마 어닐로 전처리하거나, 고유전막 형성 후 오존 어닐 또는 플라즈마 어닐의 후처리를 수행하면 하부 전극 상에 또는 고유전막 내에 잔류하는 불순물을 줄일 수 있어 누설 전류를 낮게 할 수 있다. 또한

, 본 발명은 상부 전극 형성후 오존 어닐을 수행하면 고유전막 내에 산소 공공의 형성을 줄여 누설 전류를 낮게 할 수 있다. 또한, 본 발명의 박막 형성 장치는 하부 전극이나 고유전막이 형성된 반도체 기판을 대기 중에 노출시키지 않아 불순물 흡착을 방지하여 누설 전류를 낮게 할 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 반도체 웨이퍼가 로딩된 카세트가 위치하는 로드락 챔버;

상기 로드락 챔버에 연결되어 상기 반도체 웨이퍼를 로딩 및 언로딩할 수 있는 로봇암을 구비하는 트랜스퍼 챔버;

상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 다기능 챔버; 및

상기 다기능 챔버에 연결된 어닐 수단을 포함하여 상기 다기능 챔버에서 하부 전극 전처리, 상기 유전막 후처리 및 상부 전극 후처리를 수행할 수 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 2】

제1항에 있어서, 상기 어닐 수단은 오존 발생기 또는 플라즈마 발생기인 것을 특징으로 하는 박막 형성 장치.

【청구항 3】

제1항에 있어서, 상기 유전막은 Ta_2O_5 , Al_2O_3 , TiO_2 , Y_2O_3 , $SrTiO_3$, $(Ba,Sr)TiO_3$, $PbZrTiO_3$, $SrBi_2Ta_2O_9$, $(Pb,La)(Zr,Ti)O_3$ 또는 $Bi_4Ti_3O_{12}$ 중에서 어느 하나인 것을 특징으로 하는 박막 형성 장치.

【청구항 4】

제1항에 있어서, 상기 다기능 챔버의 하부는 반도체 웨이퍼가 위치하는 지지대와 그 아래에 히터가 설치되어 있고, 상기 다기능 챔버의 상부는 소스 공급 장치로부터 공급된 액체

유기 소스를 균일하게 분사할 수 있는 소스 분사 장치가 설치되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 5】

제4항에 있어서, 상기 소스 공급 장치는 액체 유기 소스를 정량화 할 수 있는 액체 정량 장치와, 상기 액체 정량 장치에 연결되어 상기 액체 소스를 기화시킬 수 있는 기화기와, 상기 기화기로부터의 나오는 유기 소스를 이송하는 이송 가스 소스로 이루어지는 것을 특징으로 하는 박막 형성 장치.

【청구항 6】

제5항에 있어서, 상기 기화기는 1 내지 3개로 구성하는 것을 특징으로 하는 박막 형성 장치.

【청구항 7】

제2항에 있어서, 상기 다기능 챔버에 오존 발생기가 연결되어 있는 경우 상기 다기능 챔버의 배기단에는 오존 제거 장치가 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 8】

제2항에 있어서, 상기 플라즈마 발생기는 RF 혹은 ECR 플라즈마 발생기인 것을 특징으로 하는 박막 형성 장치.

【청구항 9】

제2항에 있어서, 상기 플라즈마 발생기는 NH_3 , O_2 , N_2O , Ar 또는 N_2 의 플라즈마를 발생시킬 수 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 10】

제1항에 있어서, 상기 다기능 챔버는 벽면에 증착된 유전막을 제거하기 위한 세정 가스 공급 장치가 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 11】

제1항에 있어서, 상기 트랜스퍼 챔버에는 전극 증착 챔버가 더 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 12】

제11항에 있어서, 상기 트랜스퍼 챔버에는 결정화 어닐 챔버가 더 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 13】

제11항에 있어서, 상기 트랜스퍼 챔버에는 전처리 챔버가 더 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 14】

제11항에 있어서, 상기 트랜스퍼 챔버에는 냉각 및 예열 챔버가 더 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 15】

복수개의 반도체 웨이퍼가 로딩된 카세트가 위치하는 로드락 챔버;

상기 로드락 챔버에 연결되어 상기 반도체 웨이퍼를 로딩 및 언로딩할 수 있는 로봇암을 구비하는 트랜스퍼 챔버;

상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 유전막 증착 챔버;

상기 트랜스퍼 챔버에 연결된 전극 증착 챔버;

상기 트랜스퍼 챔버에 연결된 결정화 어닐 챔버; 및

상기 결정화 어닐 챔버에 연결된 어닐 수단을 포함하여 상기 결정화 챔버에서 상기 유전막의 후처리 및 상부 전극 후처리를 수행할 수 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 16】

제15항에 있어서, 상기 어닐 수단은 오존 발생기 또는 플라즈마 발생기인 것을 특징으로 하는 박막 형성 장치.

【청구항 17】

복수개의 반도체 웨이퍼가 로딩된 카세트가 위치하는 로드락 챔버;

상기 로드락 챔버에 연결되어 상기 반도체 웨이퍼를 로딩 및 언로딩할 수 있는 로봇암을 구비하는 트랜스퍼 챔버;

상기 트랜스퍼 챔버에 연결되어 있고 유전막을 증착할 수 있는 유전막 증착 챔버;

상기 트랜스퍼 챔버에 연결된 후처리 챔버; 및

상기 후처리 챔버에 연결된 어닐 수단을 포함하여 상기 후처리 챔버에서 상기 유전막 후처리를 수행할 수 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 18】

제17항에 있어서, 상기 어닐 수단은 오존 발생기 또는 플라즈마 발생기인 것을 특징으로 하는 박막 형성 장치.

【청구항 19】

제17항에 있어서, 상기 트랜스퍼 챔버에는 전처리 챔버가 더 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 20】

제17항에 있어서, 상기 트랜스퍼 챔버에는 결정화 어닐 챔버가 더 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 21】

제17항에 있어서, 상기 트랜스퍼 챔버에는 냉각 및 예열 챔버가 더 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 22】

제17항에 있어서, 상기 트랜스퍼 챔버에는 전극 증착 챔버가 더 연결되어 있는 것을 특징으로 하는 박막 형성 장치.

【청구항 23】

반도체 기판 상에 하부 전극을 형성하는 단계;

상기 하부 전극 상에 유전막을 형성하는 단계;

상기 유전막을 산소 라디칼 또는 플라즈마 분위기에서 어닐링하여 후처리하는 단계;

및

상기 후처리된 유전막 상에 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 24】

제23항에 있어서, 상기 유전막 증착 및 후처리는 동일 챔버에서 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 25】

제23항에 있어서, 상기 산소 라디칼 분위기는 오존이 포함된 산화성 분위기인 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 26】

제23항에 있어서, 상기 플라즈마 분위기는 N_2O , O_2 , NH_3 , Ar, N_2 의 ECR 혹은 RF 플라즈마 분위기인 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 27】

제23항에 있어서, 상기 유전막 형성 및 후처리를 적어도 1번 이상 반복하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 28】

제23항에 있어서, 상기 유전막은 Ta_2O_5 , Al_2O_3 , TiO_2 , Y_2O_3 , $SrTiO_3$, $(Ba,Sr)TiO_3$, $PbZrTiO_3$, $SrBi_2Ta_2O_9$, $(Pb,La)(Zr,Ti)O_3$ 또는 $Bi_4Ti_3O_{12}$ 중에서 어느 하나인 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 29】

제23항에 있어서, 상기 유전막을 형성하기 전에 상기 하부 전극을 전처리하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 30】

제29항에 있어서, 상기 하부 전극 전처리, 유전막 증착, 및 유전막 후처리는 동일 챔버에서 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 31】

제29항에 있어서, 상기 하부 전극 전처리부터 상부 전극 형성까지 하나의 박막 형성 장치에서 인시츄로 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 32】

제29항에 있어서, 상기 상부 전극을 증착하는 단계 후에 결정화 어닐을 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 33】

제32항에 있어서, 상기 하부 전극 전처리부터 결정화 어닐까지 하나의 박막 형성 장치에서 인시츄로 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 34】

제32항에 있어서, 상기 하부 전극 형성부터 결정화어닐까지 하나의 박막 형성 장치에서 인시츄로 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 35】

제23항에 있어서, 상기 유전막의 후처리 후에 결정화 어닐을 더 수행하는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 36】

제35항에 있어서, 상기 유전막 후처리 및 결정화 어닐은 동일 챔버에서 수행되는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 37】

제23항에 있어서, 상기 유전막 증착부터 상부 전극 증착까지 하나의 박막 형성 장치에서 인시츄로 수행하는 것을 특징으로 반도체 소자의 커패시터 형성방법.

【청구항 38】

반도체 기판 상에 하부 전극을 형성하는 단계;

상기 하부 전극 상에 유전막을 형성하는 단계;

상기 유전막 상에 상부 전극을 형성하는 단계; 및

상기 상부 전극을 산소 라디칼이 포함된 분위기로 후처리하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 39】

제38항에 있어서, 상기 산소 라디칼이 포함된 분위기는 오존이 포함된 산화성 분위기인 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 40】

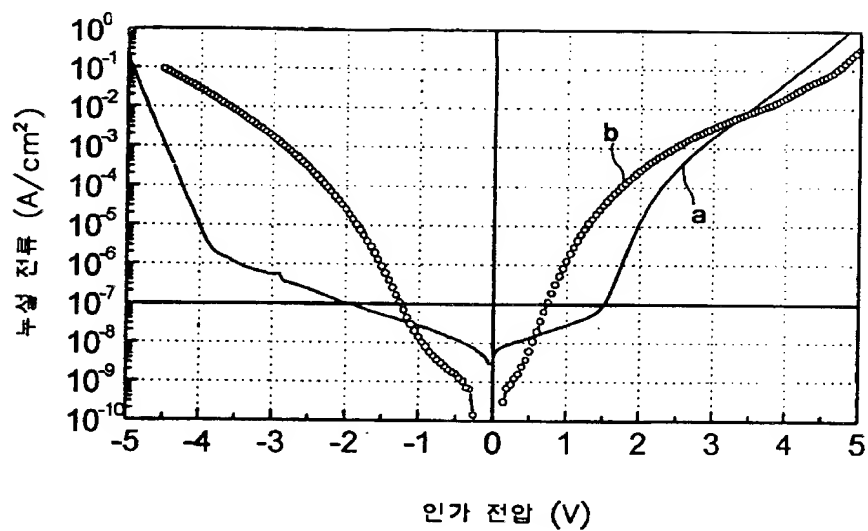
제38항에 있어서, 상기 유전막은 Ta_2O_5 , Al_2O_3 , TiO_2 , Y_2O_3 , $SrTiO_3$, $(Ba,Sr)TiO_3$, $PbZrTiO_3$, $SrBi_2Ta_2O_9$, $(Pb,La)(Zr,Ti)O_3$ 또는 $Bi_4Ti_3O_{12}$ 중에서 어느 하나인 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【청구항 41】

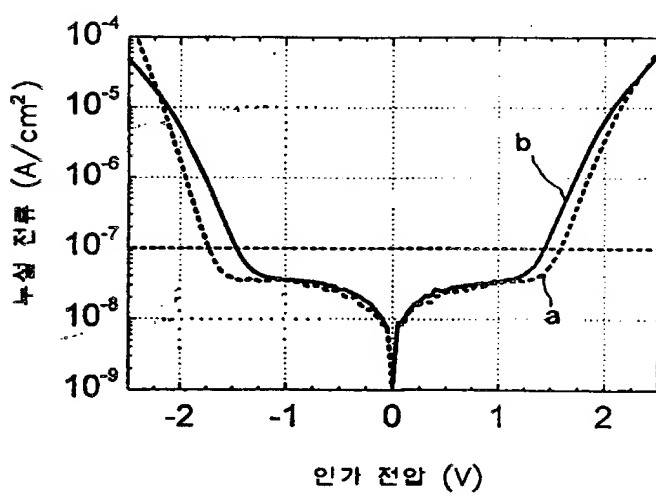
제38항에 있어서, 상기 후처리된 상부 전극 상에 제2 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 커패시터 형성방법.

【도면】

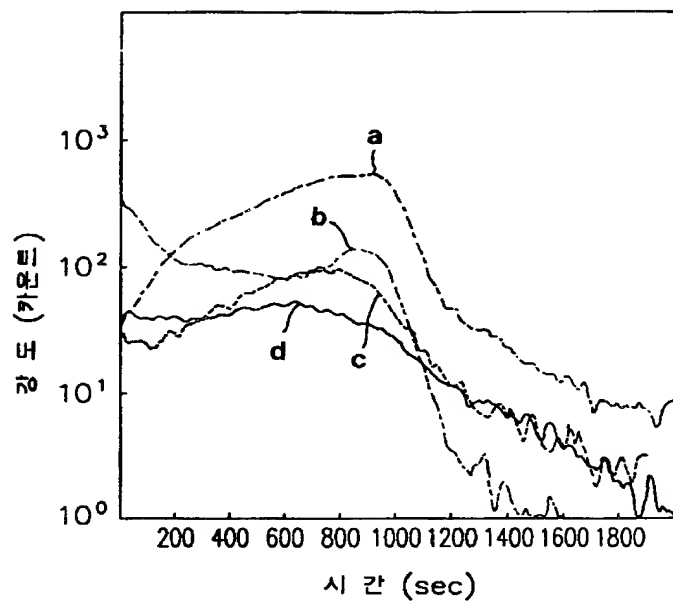
【도 1】



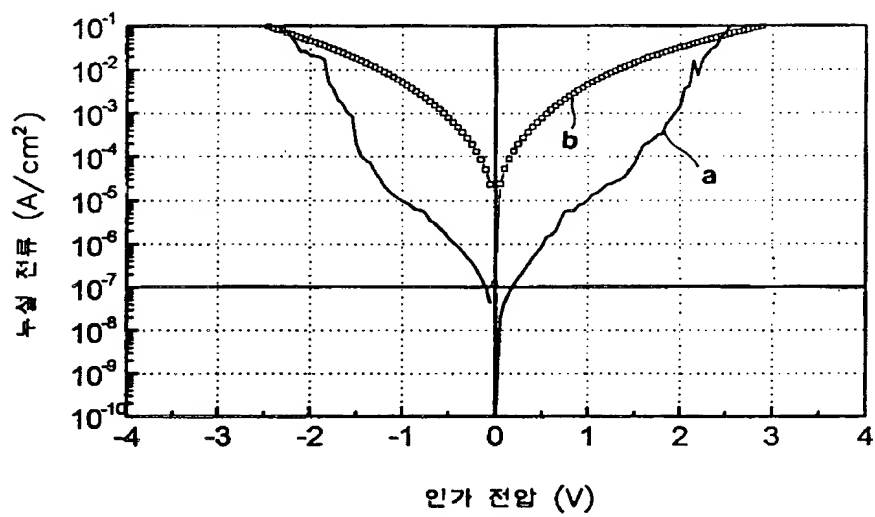
【도 2】



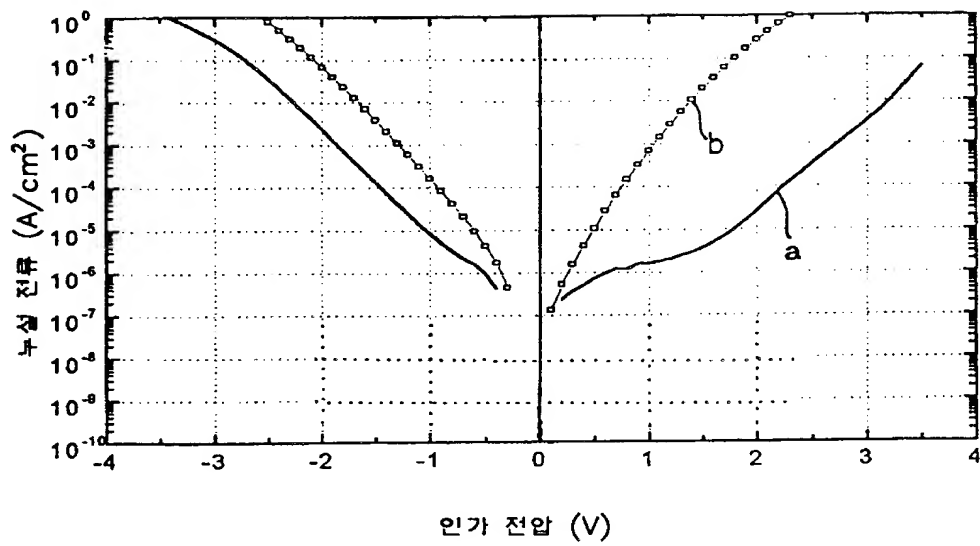
【도 3】



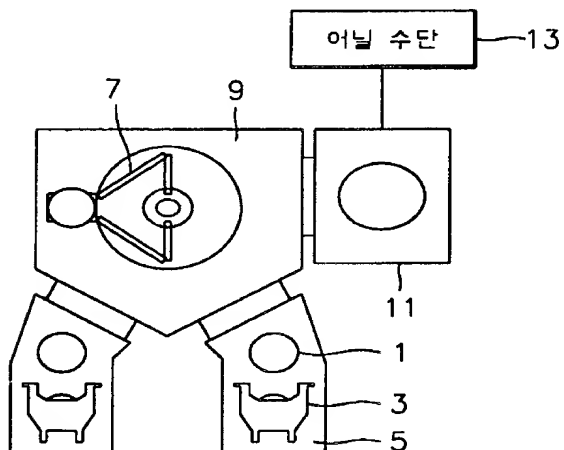
【도 4】



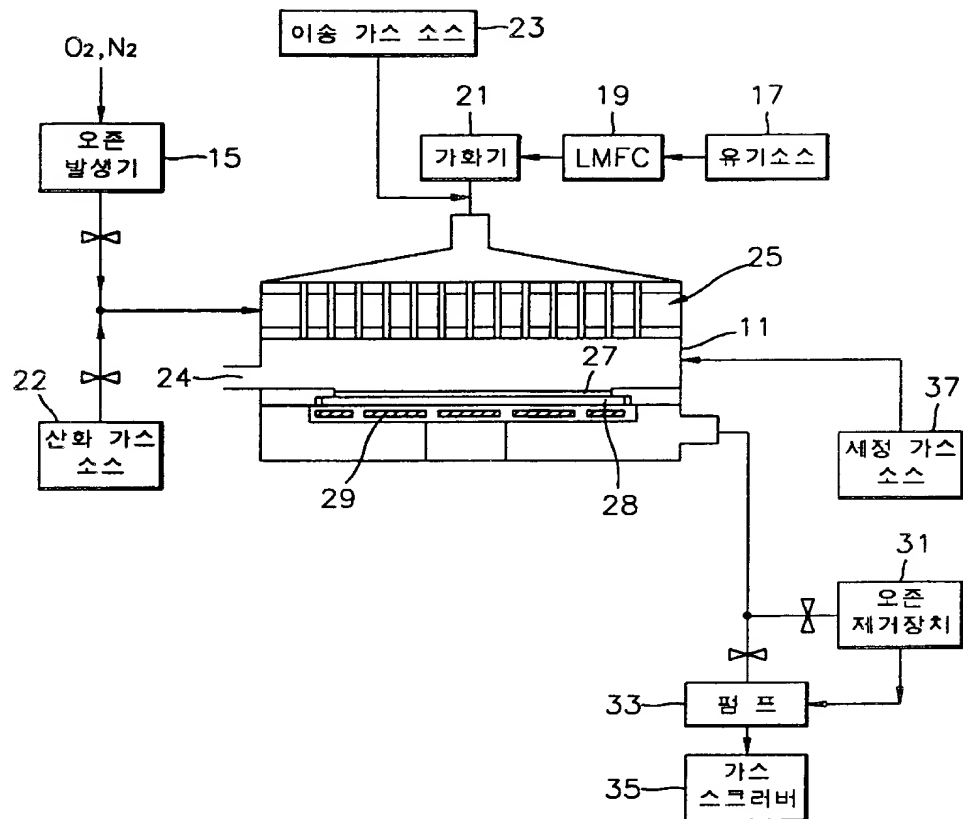
【도 5】



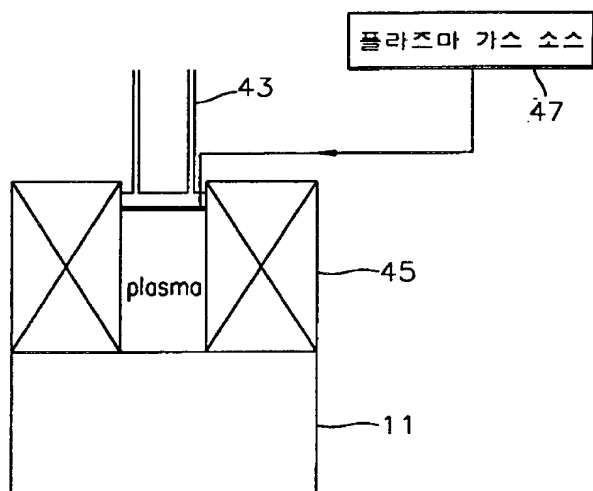
【도 6】



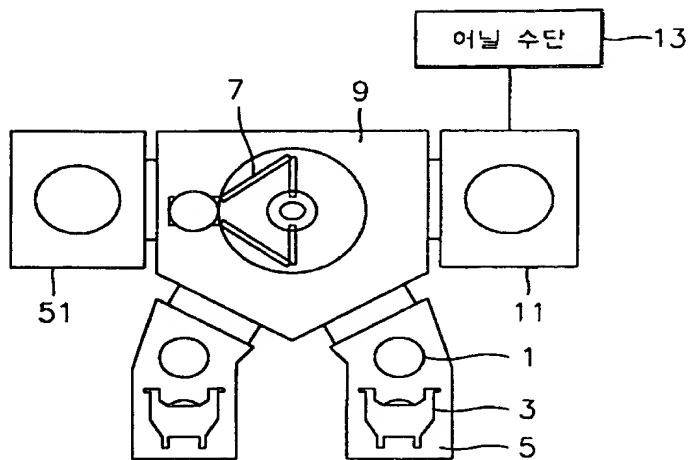
【도 7】



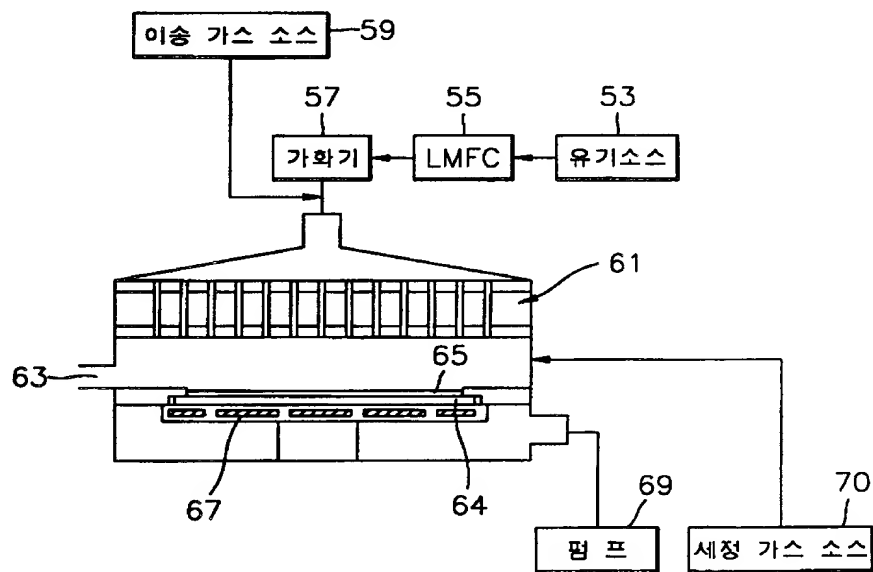
【도 8】



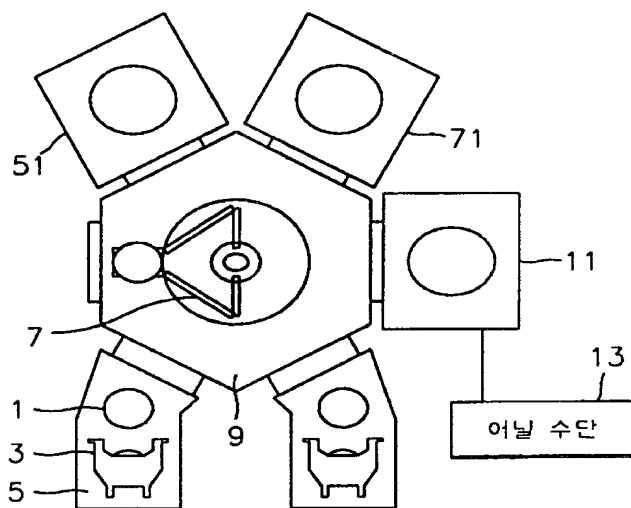
【도 9】



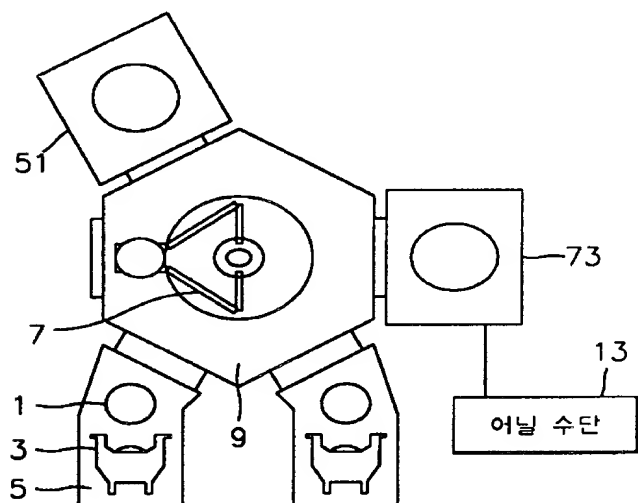
【도 10】



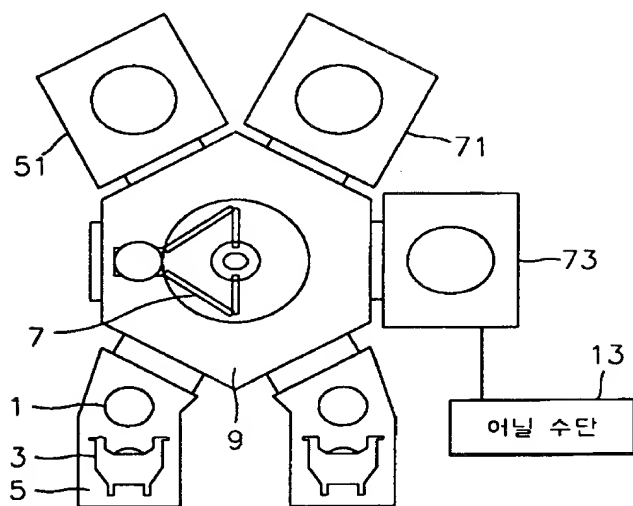
【도 11】



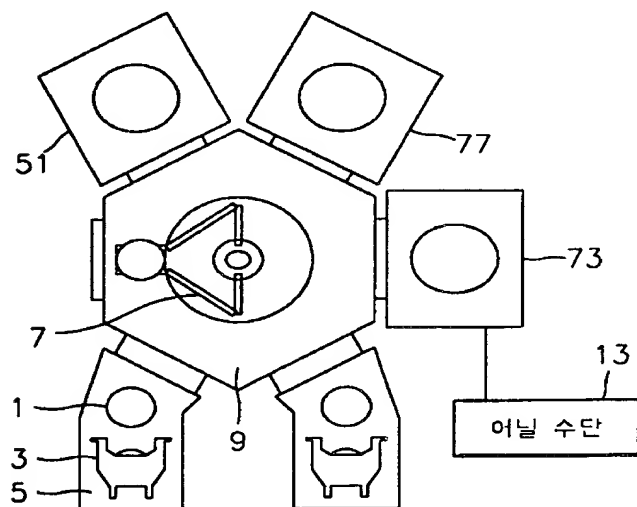
【도 12】



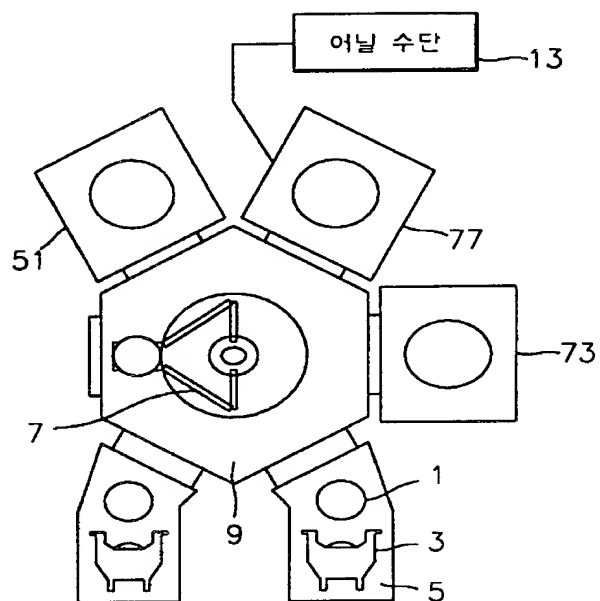
【도 13】



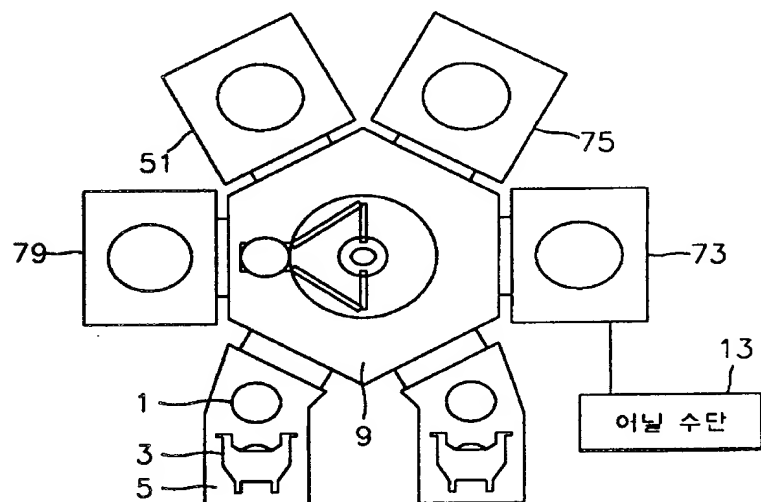
【도 14】



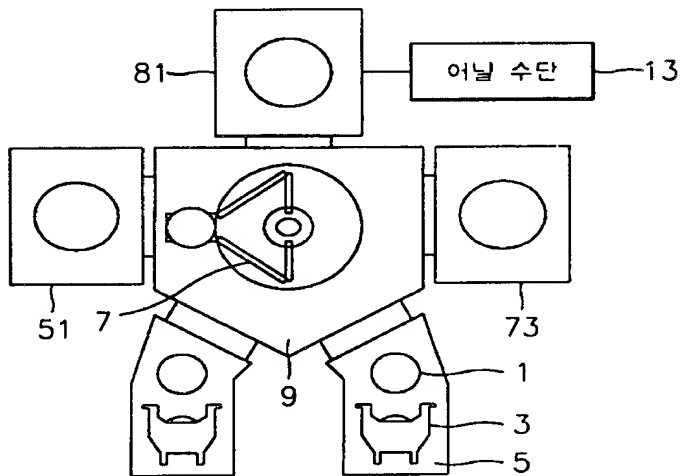
【도 15】



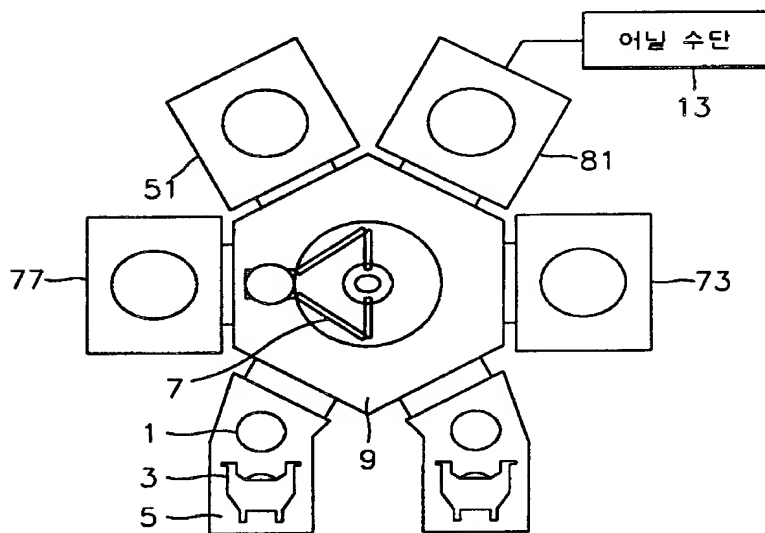
【도 16】



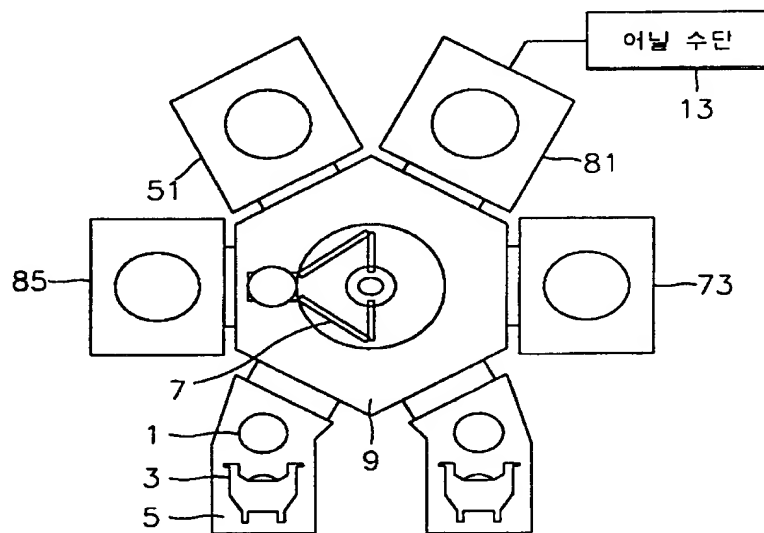
【도 17】



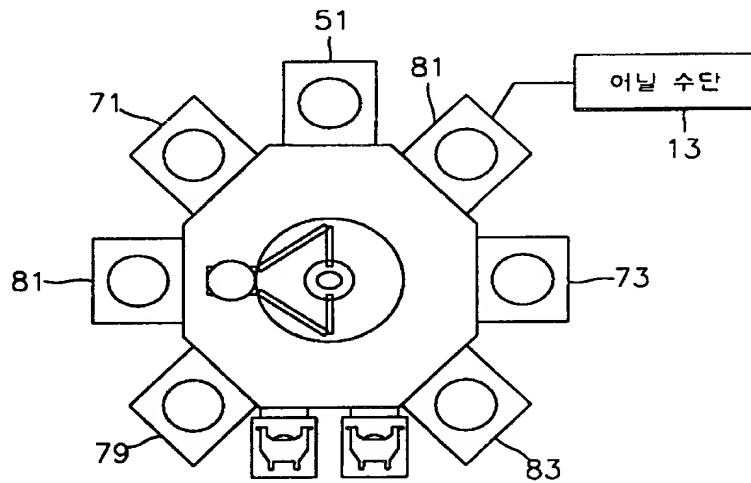
【도 18】



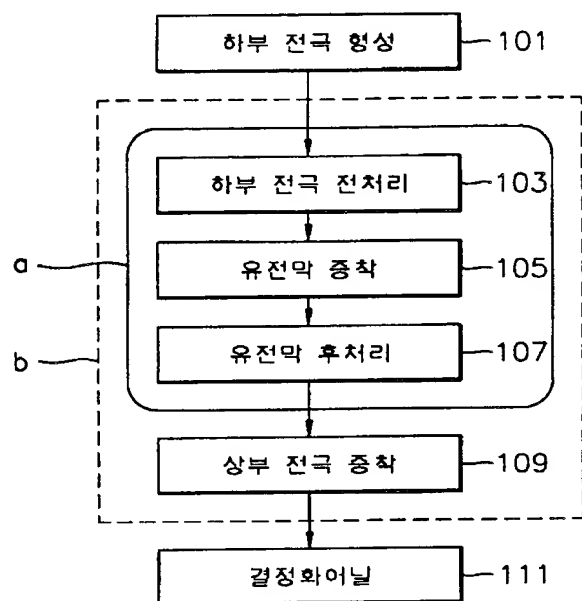
【도 19】



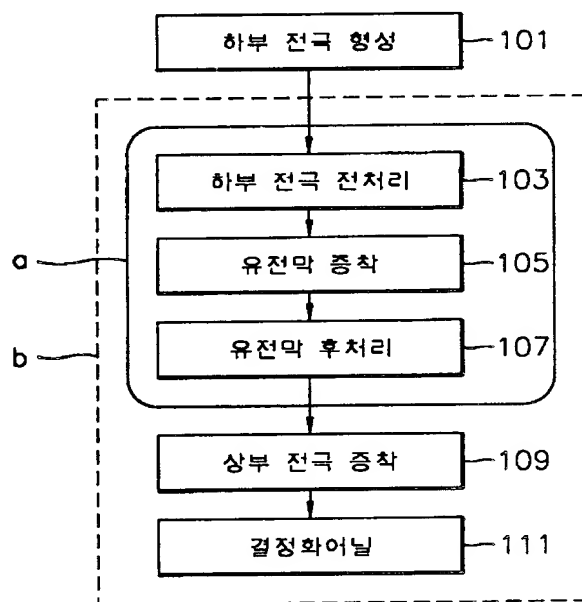
【도 20】



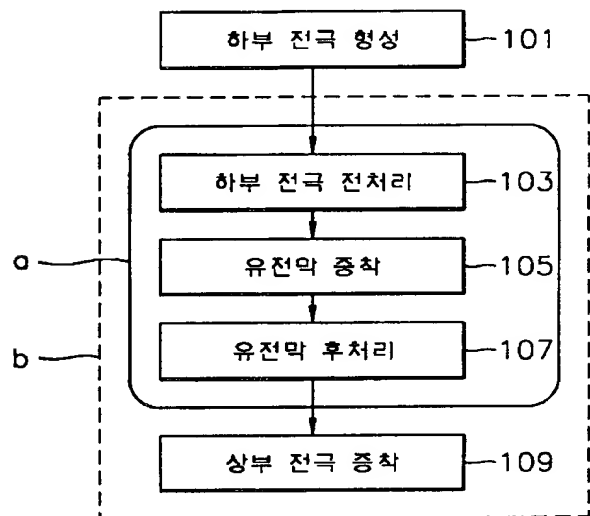
【도 21】



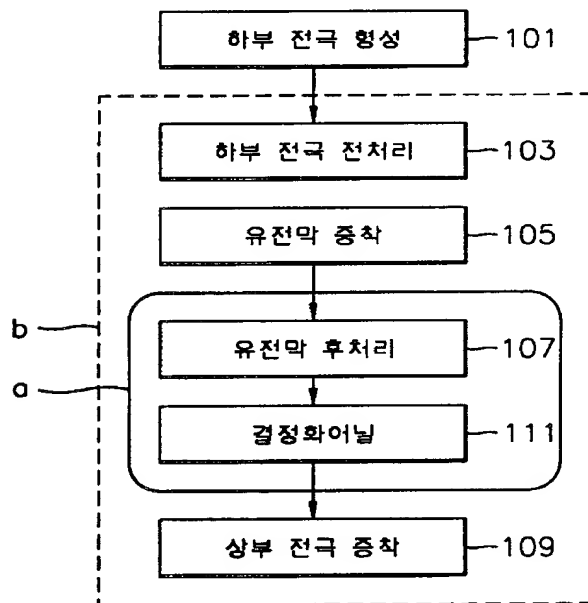
【도 22】



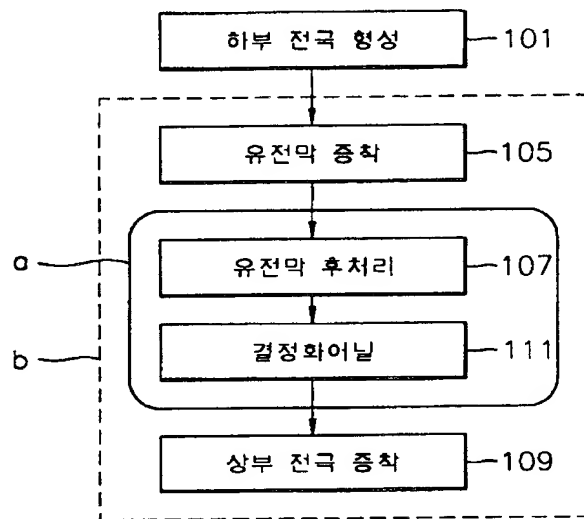
【도 23】



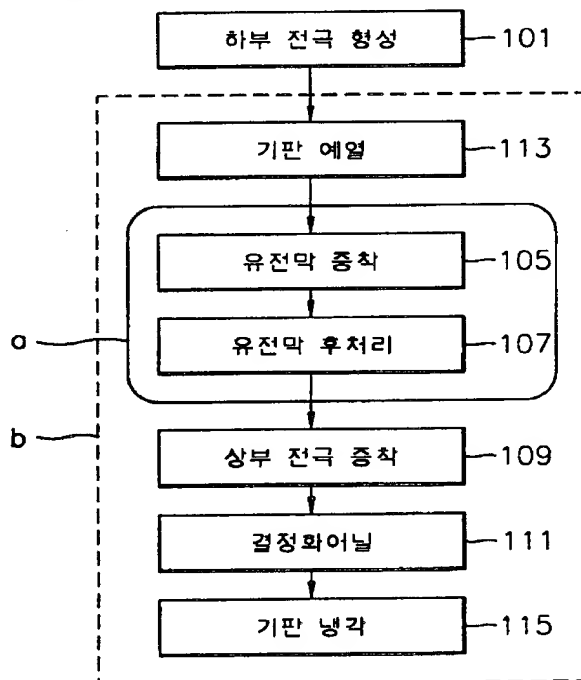
【도 24】



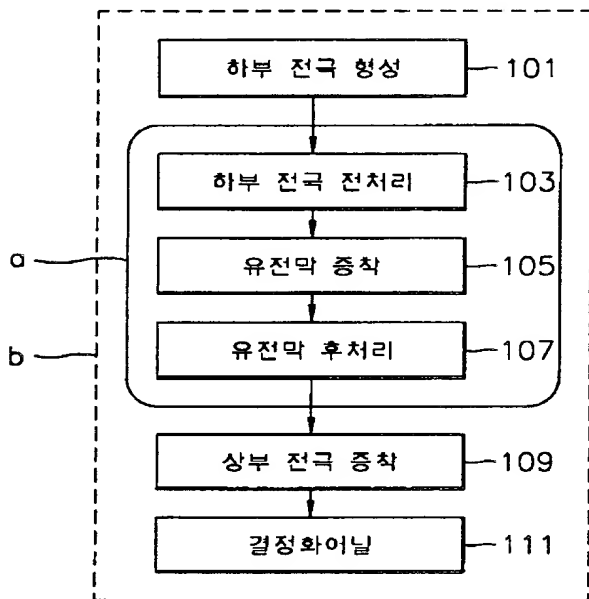
【도 25】



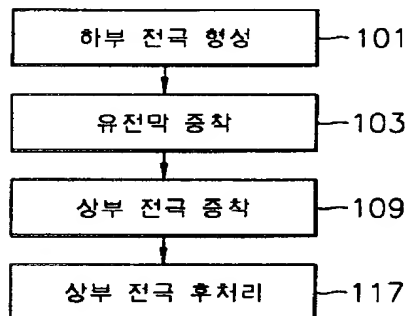
【도 26】



【도 27】



【도 28】



【도 29】

